

# PATENT OFFICE JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with the Office.

Date of Application : April 3, 2003  
Application Number : Patent Application No. Heisei 2003-100341  
Applicant (s) : FUJITSU LIMITED

December 15, 2003

Commissoner,  
Japan Patent Office

**Imai Yasuo**

Certificate No. Toku 2003-31044007

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年   4 月   3 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 0 0 3 4 1  
Application Number:

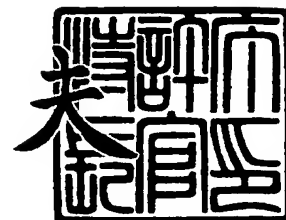
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 0 0 3 4 1 ]

出   願   人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 5 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康



出 証 番 号   出 証 特 2 0 0 3 - 3 1 0 4 0 0 7

【書類名】 特許願

【整理番号】 0253831

【提出日】 平成15年 4月 3日

【あて先】 特許庁長官殿

【発明の名称】 集積回路テスト方法、プログラム、記憶媒体及び装置

【請求項の数】 10

【国際特許分類】 G06F 15/60  
G01R 31/3183

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 丸山 大輔

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100079359

【弁理士】

【氏名又は名称】 竹内 進

【手数料の表示】

【予納台帳番号】 009287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704823

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路テスト方法、プログラム、記憶媒体及び装置

【特許請求の範囲】

【請求項1】

回路データ読込部により、回路データを読み込む読込ステップと、  
パスカット対策部により、対象回路からパスカット点を選択して状態を固定化するパスカットステップと、

自動テストパターン生成部により、パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、  
を備えた集積回路テスト方法に於いて、

前記自動テストパターン生成ステップは、

ナローイング処理部により、故障仮定点に対応した送りFF群、受けFF、更に前記送りFF群の1段前の準備FF群を含む領域を処理対象回路として特定するナローイングステップと、

故障励起部により、前記故障仮定点に、立上り故障で0から1、立下り故障で1から0の反転関係となる送り時刻と受け時刻の故障励起の状態を割り当てる故障励起ステップと、

故障伝播状態設定部により、残りの準備FFと送りFFに前記故障の伝播経路を活性化する送り時刻と受け時刻の状態を割り当てる経路活性化ステップと、

自動テストパターン生成制御部により、システムクロックを前記送りFFに送りクロックとして供給して送りFFからネットに変化を与えて伝播させると共に、システムクロックを前記受けFFに受けクロックとして供給してネット変化を捉えることにより、送りFFから受けFFの間の経路に遅延故障を検出するための状態を伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を備え、更に、

前記経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケアXの割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケアXから非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする集積回路テスト方法。

#### 【請求項2】

請求項1記載の集積回路テスト方法に於いて、前記故障伝播ステップが終了した後に、

前記経路活性化ステップのドントケアXを受け時刻のステートと逆値に変更して故障励起のステートを割り当てるコンパクション故障励起ステップと、

システムクロックを前記送りFFに送りクロックとして供給して送りFFからネットに変化を与えて伝播させると共に、システムクロックを前記受けFFに受けクロックとして供給してネット変化を捉えることにより、送りFFから受けFFの間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成するコンパクション故障伝搬ステップと、  
を備えたことを特徴とする集積回路テスト方法。

#### 【請求項3】

請求項1記載の集積回路テスト方法に於いて、前記故障励起ステップは、送り時刻で送りFFにクロックオフが割り当てられていた場合、前記送りFFの受け時刻の出力に対して故障値に対して故障励起不可能を示すアン・コントロール値uに含意し、前記アン・コントロール値uの割り当て自体が故障励起不可能と判定して遅延故障のターゲットから除外することを特徴とする集積回路テスト方法。

#### 【請求項4】

請求項1記載の集積回路テスト方法に於いて、前記故障伝播ステップで故障伝播に失敗した場合、失敗した故障が仮定されたネットからファンアウト・フリー領域の分岐入力までのネットに仮定される故障の内、失敗した故障と反転関係が

等しく且つ故障値がゲートの制御値と等しい故障を抽出して検出不可能故障として除外することを特徴とする集積回路テスト方法。

#### 【請求項 5】

請求項 1 記載の集積回路テスト方法に於いて、前記パスカットステップは、前記パスカット点をドライブするゲート入力において送り時刻と受け時刻でゲートの制御値を付与してステートを固定するか、若しくは送り時刻と受け時刻で全てのゲート入力にゲートの非制御値を付与して、前記パスカット点のステートを不変ステート 0 から 0 又は 1 から 1 を割り当てて固定化することを特徴とする集積回路テスト方法。

#### 【請求項 6】

請求項 5 記載の集積回路テスト方法に於いて、前記パスカットステップは、パスカット点に割り当てる不変ステート 0 から 0 又は 1 から 1 について前記自動テストパターン生成ステップにより検出故障不可能数を測定し、故障検出不可能数の少ない不変ステートを選択する不変ステート選択ステップを備えたことを特徴とする集積回路テスト方法。

#### 【請求項 7】

請求項 1 記載の集積回路テスト方法に於いて、前記ナローイングステップは、前記故障励起ステップの前処理として、故障仮定点から受け FF を経由して送り FF 群までと、送り FF 群から準備 FF 群までとの 2 段階のバックトレースによりナローイング範囲をマークし、ネットの送り時刻と受け時刻のステータスが共にドントケア X であれば、該ネット以降のバックトレースを停止するナローイングステップを備えたことを特徴とする集積回路テスト方法。

#### 【請求項 8】

コンピュータに、  
回路データを読み込む読込ステップと、

パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、

を実行させるプログラムに於いて、

前記自動テストパターン生成ステップは、

故障仮定点に対応した送り F F 群、受け F F、更に前記送り F F 群の1段前の準備 F F 群を含む領域を処理対象回路として特定するナローイングステップと、

前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、

残りの準備 F F と送り F F に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を実行させ、更に、

前記経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させることを特徴とするプログラム。

#### 【請求項 9】

コンピュータに、

回路データを読み込む読込ステップと、

パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、  
を実行させ、

前記自動テストパターン生成ステップは、

故障仮定点に対応した送り F F 群、受け F F、更に前記送り F F 群の1段前の準備 F F 群を含む領域を処理対象回路として特定するナローイングステップと、

前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、

残りの準備 F F と送り F F に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を実行させ、更に、

前記経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させるプログラムを格納したことを特徴とするコンピュータ読取可能な記憶媒体。

#### 【請求項 10】

回路データを読み込む回路データ読込部と、

対象回路からパスカット点を選択してステートを固定化するパスカット対策部と、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン処理部と、



を備えた集積回路のテスト装置に於いて、

前記自動テストパターン生成部は、

故障仮定点に対応した送りFF群、受けFF、更に前記送りFF群の1段前の準備FF群を含む領域を処理対象回路として特定するナローイングステップと、

前記故障仮定点に、立上り故障で0から1、立下り故障で1から0の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起部と、

残りの準備FFと送りFFに前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる故障伝播ステート設定部と、

システムクロックを前記送りFFに送りクロックとして供給して送りFFからネットに変化を与えて伝播させると共に、システムクロックを前記受けFFに受けクロックとして供給してネット変化を捉えることにより、送りFFから受けFFの間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する自動テストパターン生成制御部と、

を実行させ、更に、

前記故障伝播ステート設定部は、故障の伝播経路を活性化させるステートとしてドントケアXの割り当てを許容し、

前記自動テストパターン生成制御部は、ネットの変化後にドントケアXから非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする集積回路のテスト装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、動的機能テストのテストパターンを自動生成してテストする集積回路のテスト方法、プログラム、記憶媒体及び装置に関し、特に、システムクロックを印加して遅延故障を検出する動的機能テストの故障検出率を向上して処理時間の短縮を図る集積回路のテスト方法、プログラム、記憶媒体及び装置に関する。

**【0002】****【従来の技術】**

近年、回路の高速化、微細化に伴いLSIの製造プロセスのばらつきにより混入する遅延故障の影響が大きくなり、従来の低速な静的機能テスト（SFT: Static Function Test）のみではこれら遅延故障を検出できないため、実際にLSIがシステムに組み込まれた状態での動作については十分なテスト品質を保証できなくなっている。

**【0003】**

このことから、システムクロックを送りクロックとして供給して送りFFからネットに変化を与えて伝播させ、同様にシステムクロックを受けクロックとして供給し、受けFFでその変化を捉えることで、送りFFから受けFFの間の経路の遅延故障を検出する動的機能テスト（DFT: Dynamic Function Test）が提案されている。

**【0004】**

このような従来の動的機能テストのためのテストパターンを自動的に生成する自動テストパターン生成方法（ATPG: Automatic Test Pattern Generation）は、ネット上に仮定される遷移故障の検出もしくは特定の送りFFから受けFFの間の経路の転送動作を対象としている。この場合、故障伝播経路を活性化するための方法は、対象とする遷移故障の検出もしくは特定経路の測定についての分解能を上げるための制約により、即ち、ハザードの発生を抑制するための制約により、検出しようとする遷移故障の伝播経路もしくは転送動作を行わせる特定経路のみを単一に活性化する方法をとることが多い。

**【0005】****【発明が解決しようとする課題】**

しかしながら、このような従来の単一経路の活性化方法を用いた自動テストパターン生成にあつては、活性化経路上に存在する全ての多入力ゲートにおいて被活性化経路以外の入力について送りクロックの前後でステートを非制御値に揃える必要があり、活性化しようする経路の再収斂などにより、送りクロックの前後

で共に非制御値を設定しようとしているゲート入力に不可避の変化が伝播する場合にはテストは必ず失敗する。

#### 【0006】

このため自動テストパターン生成が対象とする遷移故障もしくは転送動作を行わせる特定経路について十分な検出率を得ることが困難となる。

#### 【0007】

また単一経路の活性化方法による自動テストパターン生成では、活性化される経路以外のゲート入力には送りクロックの前後で変化が存在しないため、このテストパターンによって検出される遷移故障もしくは転送動作を行わせる特定パスは、被活性化経路上の遷移故障もしくは転送動作を行う特定パスのみに限定され、可能な限りの高い故障検出率を得ようとする場合には、生成されるテスト数が増加する問題がある。

#### 【0008】

また、実際のシステムに組み込まれたLSIの動作を鑑みた場合、送りFFから受けFFの転送経路において単一の経路のみが活性化されるような状況は特異なケースと考えられ、従来のテスト方法で作成されたテストパターンの動作は実際のシステムに組み込まれたLSIの動作と乖離している可能性が高いという問題がある。

#### 【0009】

本発明は、システムクロックの印加を行う動的機能テストにおける遅延故障の検出率向上化、生成テスト数の縮小化及び処理時間の短縮化を図るようにした集積回路のテスト方法、プログラム、記憶媒体及び装置を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

図1は本発明の原理説明図である。本発明は、回路データ読込部12により、回路データを読み込む読込ステップと、パスカット対策部14により、対象回路からパスカット点を選択して状態を固定化するパスカットステップと、自動

テストパターン生成部（ATPG部）16により、パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップとを備えた集積回路テスト方法を対象とする。

### 【0011】

（伝播経路活性化ステートとしてのドントケアXの許容）

このような集積回路テスト方法として本発明にあっては、自動テストパターン生成ステップとして、

ナローイング処理部により、故障仮定点に対応した送りFF群、受けFF、更に前記送りFF群の1段前の準備FF群を含む領域を処理対象回路として特定するナローイングステップと、

故障励起部により、故障仮定点に、立上り故障で0から1、立下り故障で1から0の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、

故障伝播ステート設定部により、残りの準備FFと送りFFに故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

自動テストパターン生成制御部により、システムクロックを送りFFに送りクロックとして供給して送りFFからネットに変化を与えて伝播させると共に、システムクロックを受けFFに受けクロックとして供給してネット変化を捉えることにより、送りFFから受けFFの間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、を備え、更に、

経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケアXの割り当てを許容し、

故障伝播ステップは、ネットの変化後にドントケアXから非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする。ここで、ドントケアXは、逆の値に置き換えても故障検出率に影響を与えないテストパターンを構成する論理値である。

### 【0012】

このように本発明は、従来は遅延故障を伝播させる経路を活性化する条件として、変化のない非制御値、例えばアンドゲートでは非制御値 1 を割り当てていたものを、本発明では変化前の送り時刻でのドントケア X から変化後の受け時刻で非制御値になる活性化条件を認めるようにしたことで、故障励起を行う状態割り当てにより活性化条件を与えるネットに不可避な変化が伝播する場合であっても、テストパターン生成が可能となる。

#### 【0013】

また故障伝播経路自身が収斂し、複数の経路に不可避な変化が伝播する場合であっても、テストパターン生成が可能となる。また活性化条件にドントケア X から非制御値の変化を認めることにより、送り時刻での 0 と 1 の状態割り当てが X にまとめられ、状態割り当て数が減少し、割り当て状態が減少することにより矛盾が発生する可能性が低減する。

#### 【0014】

(コンパクションでの故障励起)

本発明の集積回路テスト方法は、故障伝播ステップが終了した後に、経路活性化ステップのドントケア X を受け時刻の状態と逆値に変更して故障励起の状態を割り当てるコンパクション故障励起ステップと、システムクロックを前記送り FF に送りクロックとして供給して送り FF からネットに変化を与えて伝播させると共に、システムクロックを前記受け FF に受けクロックとして供給してネット変化を捉えることにより、送り FF から受け FF の間の経路に遅延故障を検出するための状態を伝搬させ、伝播成功でテストパターンを生成するコンパクション故障伝搬ステップと、を備えたことを特徴とする。

#### 【0015】

このように最初に行った故障伝播ステップで故障伝播に成功して終了した後に、ドントケア X を受け時刻の状態と逆値に変更して故障励起の状態を割り当てる故障励起により、最初の故障伝播で活性化条件を与えた経路を故障伝播経路にでき、この処理を全ての選択可能な残りの未検出な仮定故障について繰返し行うことで、パターンコンパクションの効率が向上し、生成テストパターン数

が縮小する。

#### 【0 0 1 6】

(故障励起不可能の判定)

故障励起ステップは、送り時刻で送り F F にクロックオフが割り当てられている場合、送り F F の受け時刻の出力に対して故障値に対して故障励起不可能を示すアン・コントロール値 u に含意し、アン・コントロール値 u の割り当て自体が故障励起不可能と判定して遅延故障のターゲットから除外することを特徴とする。

#### 【0 0 1 7】

このように送りクロックオフの故障仮定点の故障値にはアンコントロール値 u が含意されているため、故障励起の割り当てそれ自体が矛盾（励起不可能）と判定され、無駄なターゲットが削減される。

#### 【0 0 1 8】

(検出不可能故障の判定)

故障伝播ステップで故障伝播に失敗した場合、失敗した故障が仮定されたネットからファンアウト・フリー領域の分岐入力までのネットに仮定される故障の内、失敗した故障と反転関係が等しく且つ故障値がゲートの制御値と等しい故障を抽出して検出不可能故障として除外する。

#### 【0 0 1 9】

このようにある故障に対する自動テストパターン生成が失敗したとき、失敗した故障と反転関係が等しく且つ故障値がゲートの制御値と等しい条件を満たす故障を検出不可能故障と判定してターゲットから除外し、自動テストパターン生成を高速化する。

#### 【0 0 2 0】

(パスカット対策)

パスカットステップは、パスカット点をドライブするゲート入力において送り時刻と受け時刻でゲートの制御値を付与してステートを固定するか、若しくは送り時刻と受け時刻で全てのゲート入力にゲートの非制御値を付与して、パスカット点のステートを不変ステート 0 から 0 又は 1 から 1 を割り当てて固定化する。

## 【0021】

ここでゲートの制御値の付与によるステートの固定化は、カットすべきパスがループ構成ならば通常のループパスに対するパスカット対策と同様であるが、ループ構成でないならば通常のループパスにパスカット対策と異なりカットすべきパス自身も制御可能となる。本発明は、これに加え、遅延故障のテストでは、送り時刻と受け時刻の間でパスカット点が同値の非制御値であれば良い点に着目し、送り時刻と受け時刻で全てのゲート入力にゲートの非制御値を付与してパスカット点のステートを固定化する。これにより通常のループ回路以外に、FF間の転送の中に存在する1サイクル( $1\tau$ )での転送完了を必要としない  $n\tau$  パスのステートを送り時刻と受け時刻で固定してパスカットする。

## 【0022】

パスカットステップは、パスカット点に割り当てる不変ステート 0 から 0 又は 1 から 1 について、自動テストパターン生成ステップにより検出故障不可能数を測定し、故障検出不可能数の少ない不変ステートを選択する不変ステート選択ステップを備える。このように故障検出不可能数の極小化を図る不変ステートを選択することで、故障検出率を下げないようにする。

## 【0023】

更に、パスカットステップは、パスカット点に対するドライバ側ゲートの複数の入力ピンに、送り時刻と受け時刻で制御値のピン入力位置が変化する乗り換えがある場合、受け時刻で制御値が与えられる少なくとも一本の入力ピンに対し送り時刻で制御値を追加して割り当てることにより、パスカット点に対しハザードフリーな不変ステートを生成するハザードフリー化ステップを備える。

## 【0024】

(ナローイングのトレース停止法)

ナローイングステップは、故障励起ステップの前処理として、故障仮定点から受けFFを経由して送りFF群までと、送りFF群から準備FF群までとの2段階のバックトレースによりナローイング範囲をマークし、ネットの送り時刻と受け時刻のステートが共にドントケアXでなければ、このネット以降のバックトレースを停止する。

## 【0025】

本発明の動的機能テストでナローウィングを行う場合には、送りクロックでの変化を発生させるために、受けFFから送りFFまでの範囲のバックワードトレースを行う以外に、送りFFから前段の準備FFまでをバックワードトレースを行う必要がある。この場合、各FF間でのファンアウトの広がりが一様に同等ならば、受けFFから送りFFまでのトレース範囲に比して送りFFから準備FFまでのトレース範囲は平均的に二乗の広さをもっているために、ナローウィングを行うためのトレース処理に時間がかかる。

## 【0026】

そこで、バックトレースにおいてネットの送り時刻と受け時刻のステートが共にドントケアXでなければ、このネット以降のバックトレースを停止し、含意伝播のためのマーク処理を低減する。

## 【0027】

(ペア故障ターゲット)

自動テストパターン生成ステップは、同一ネットの立上り遅延故障と立下り遅延故障のうちのいずれか一方につき遅延故障の検出に失敗した場合、ナローイングステップのバックトレースでマークされたナローイング範囲のマーク外しを行うことなくそのまま流用して未検出な他方の遅延故障をターゲットとしてテストパターン生成を実行する。このように2つの故障であるペア故障に対し1回のナローイング処理として処理量を半減する。

## 【0028】

(プログラム)

本発明は、集積回路テストを実行するプログラムを提供する。即ち、本発明のプログラムは、コンピュータに、

回路データを読み込む読込ステップと、

パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、



を実行させるプログラムであって、自動テストパターン生成ステップは、

故障仮定点に対応した送り F F 群、受け F F、更に前記送り F F 群の1段前の準備 F F 群を含む領域を処理対象回路として特定するナローイングステップと、

故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、

残りの準備 F F と送り F F に故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を実行させ、更に、

経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする。

#### 【0029】

(記憶媒体)

本発明は、集積回路テストのためのプログラムを格納したコンピュータによる読取可能な記憶媒体を提供する。即ち、本発明の記憶媒体は、コンピュータに、

回路データを読み込む読込ステップと、

パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、

を実行させ、

自動テストパターン生成ステップは、

故障仮定点に対応した送り F F 群、受け F F、更に送り F F 群の1段前の準備

FF 群を含む領域を処理対象回路として特定するナローイングステップと、  
故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、  
残りの準備 FF と送り FF に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

システムクロックを前記送り FF に送りクロックとして供給して送り FF からネットに変化を与えて伝播させると共に、システムクロックを受け FF に受けクロックとして供給してネット変化を捉えることにより、送り FF から受け FF の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を実行させ、更に、

経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させるプログラムを格納したことを特徴とする。

#### 【0030】

(装置)

本発明は集積回路テスト装置を提供する。即ち、本発明の集積回路テスト装置は、回路データを読み込む回路データ読込部と、対象回路からパスカット点を選択してステートを固定化するパスカット対策部と、パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン処理部とを備えた集積回路のテスト装置に於いて、前記自動テストパターン生成部は、

故障仮定点に対応した送り FF 群、受け FF、更に送り FF 群の 1 段前の準備 FF 群を含む領域を処理対象回路として特定するナローイングステップと、故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起部と、残りの準備 FF と送り FF に故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる故障伝播ステート設定部と、システムクロックを送り FF に送りクロッ

クとして供給して送りFFからネットに変化を与えて伝播させると共に、システムクロックを受けFFに受けクロックとして供給してネット変化を捉えることにより、送りFFから受けFFの間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する自動テストパターン生成制御部とを備え、更に、故障伝播ステート設定部は、故障の伝播経路を活性化させるステートとしてドントケアXの割り当てを許容し、自動テストパターン生成制御部は、ネットの変化後にドントケアXから非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする。

### 【0031】

尚、記憶媒体及び装置の詳細は、集積回路テスト方法及びプログラムの場合と基本的に同じになる。

### 【0032】

#### 【発明の実施の形態】

##### <目次>

1. 動的機能テストと自動テストパターン生成
2. ドントケアXの許容
3. 故障励起不可能の判定
4. 検出不可能故障の判定
5. パスカット対策
6. ナローイング処理

### 【0033】

#### (1. 動的機能テストと自動テストパターン生成)

図2は、本発明による集積回路テスト装置の機能構成のブロック図である。図2において、本発明の集積回路テスト装置は、全体制御部10、回路データ読込部12、自動テストパターン生成部（以下「ATPG部」という）16、パスカット対策部14、故障シミュレーション部18及び回路データ書出部20で構成される。

### 【0034】

回路データ読込部 12 は全体制御部 10 からの読込要求を受けて自動回路設定で作成されたネットリストから回路データを読み込む。パスカット対策部 14 は全体制御部 10 からのパスカット対策要求を受けてデータ読込部 12 で読み込まれた対象回路からパスカット点を選択してステートを固定化する。

#### 【0035】

A T P G 部 16 はパスカットが済んだ回路を対象に遅延故障を定義するためのテストデータを生成する。A T P G 部で作成されたテストパターンは故障シミュレーション部 18 に与えられ、全体制御部 10 からのシミュレーション実行要求に基づき、テストパターンによるシミュレーションを実行し、実行時間や診断率を得る。回路データ書出部 20 はテストパターンにより処理の済んだ回路データを書き出して処理を終了する。

#### 【0036】

A T P G 部 16 は動的機能テスト (D F T) のテストパターンを自動的に生成する。動的機能テストはシステムクロックを送りクロックとして供給して送り F F からネットに変化を与えた伝播させ、同様にシステムクロックを受けクロックとして供給し、受け F F でその変化与えることで送り F F から受け F F の間の経路の遅延故障を停止する。

#### 【0037】

図 2 における本発明の集積回路テスト装置は、例えば図 3 のようなコンピュータのハードウェア資源により実現される。図 3 のコンピュータにおいて、C P U 300 のバス 301 には R A M 302、ハードディスクドコントローラ (ソフト) 304、フロッピーディスクドライバ (ソフト) 310、C D - R O M ドライバ (ソフト) 314、マウスコントローラ 318、キーボードコントローラ 322、ディスプレイコントローラ 326、通信用ボード 330 が接続される。

#### 【0038】

ハードディスクコントローラ 304 はハードディスクドライブ 306 を接続し、本発明の集積回路テスト処理を実行するプログラムをローディングしており、コンピュータの起動時にハードディスクドライブ 306 から必要なプログラムを呼び出して、R A M 302 上に展開し、C P U 300 により実行する。

## 【0039】

フロッピーディスクドライバ310にはフロッピーディスクドライブ（ハード）312が接続され、フロッピーディスク（R）312に対する読み書きができる。CD-ROMドライバ314に対しては、CDドライブ（ハード）316が接続され、CDに記憶されたデータやプログラムを読み込むことができる。

## 【0040】

マウスコントローラ318はマウス320の入力操作をCPU300に伝える。キーボードコントローラ322はキーボード324の入力操作をCPU300に伝える。ディスプレイコントローラ326は表示部328に対して表示を行う。通信用ボード330は無線を含む通信回線332を使用し、インターネット等のネットワークを介して他のコンピュータとの間で通信を行う。

## 【0041】

図4は、図2の集積回路テスト装置における全体的な処理手順を示したフローチャートである。この全体的な処理手順は次のようになる。

ステップS1：ネットリストから回路データを読み込む。

ステップS2：パスカットを行う。

ステップS3：自動テストパターン生成処理によりテストデータを生成する。

ステップS4：生成したテストデータで故障シミュレーションを実行する。

ステップS5：実行結果を解析し、終了条件を満たしていればステップS6に進み、そうでなければステップS3に戻る。

ステップS6：回路データを書き出して処理を終了する。

## 【0042】

図5は、図2におけるATPG部16のブロック図である。このATPG部16はATPG全体制御部21、1st/2nd故障選択部22及びATPGコア部24で構成される。

## 【0043】

図6は、図5のATPG部16による自動テストパターン生成処理のフローチャートであり、次の手順で処理される。

ステップ S 1：故障集合より未検出な故障を 1 s t 故障として任意に 1 つ選択する。

ステップ S 2：ステップ S 1 で選択された 1 s t 故障に対して、A T P G コア部により 1 s t 故障を検出するためのテストを生成する。

ステップ S 3：ステップ S 2 の A T P G コア部により 1 s t 故障へのテスト生成が成功したならばステップ S 4 以降のパターンコンパクションへ進み、失敗したならばテスト失敗を復帰値に返す。

ステップ S 4：現在のネットステート（1 s t 故障を検出するための、もしくはそれ以前に選択された 2 n d 故障を検出するためのネットステート）において、故障集合より未検出な故障を 2 n d 故障として任意に 1 つ選択する。

ステップ S 5：ステップ S 4 で選択された 2 n d 故障に対して、A T P G コア部により 2 n d 故障を検出するためのテストを生成する。

ステップ S 6：故障集合に選択可能な未検出な故障が存在するならばステップ S 4 へ戻り、存在しなければテスト生成を復帰値に返す。

#### 【 0 0 4 4 】

図 7 は、図 6 の A T P G 部 1 6 に設けている A T P G コア部 2 4 のブロック図である。この A T P G コア部 2 4 は A T P G コア全体制御部 2 6、ナローイングマーク処理部 2 8、故障励起部 3 0、含意操作部 3 2、条件解決ステート設定部 3 4 及び故障伝播ステート設定部 3 6 で構成される。

#### 【 0 0 4 5 】

ナローイング処理部 2 8 は故障励起部 3 0 に対応した送り F F 分、受け F F 更に送り F F 分の一段前の準備送り F F 分を含む領域を処理対象回路として特定するマーク付けを行う。このナローイング処理は A T P G コア全体制御部 2 6 からのナローイング範囲設定要求に基づいて行われ、マークされたナローイング範囲が含意操作部 3 2 に出力される。

#### 【 0 0 4 6 】

また、ある故障仮定点についての自動テストパターン生成が成功すると、A T P G コア全体制御部 2 6 はナローイング範囲解除要求を出力し、これを受けてナ

ローイングマーク処理部 28 は処理の済んだローイング範囲のマークを解除する。

#### 【0047】

故障励起部 30 は A T P G コア全体制御部 26 からの故障励起要求を受けて、処理対象となっている故障仮定点に立ち上がり故障では正常値が 0 から 1 で故障値が 0 から 0、立ち下がり故障では正常値が 1 から 0 で故障値が 1 から 0 1 となる送り時刻と受け時刻の故障励起のステートを割当ててゐる。

#### 【0048】

故障伝播ステート設定部 36 は準備 F F と送り F F に故障伝播経路を加速する送り時刻と受け時刻のステートを割当ててゐる。含意操作部 32 は A T P G コア全体制御部 26 からの含意操作要求を受け故障伝播のために割当てた送り時刻と受け時刻のステートが含意に適合しているかどうかの含意成功失敗を判断して通知する。

#### 【0049】

条件解決ステート設定部 34 は故障伝播ステートの存在不存在を通知し、これに対する A T P G コア全体制御部 26 からの条件解決ステートの存在または不存在通知を受けて条件解決のステート設定を行う。

#### 【0050】

この含意操作部 32 と条件解決ステート設定部 34 の機能により、システムクロックを送り F F に送りクロックとして供給して、送り F F からネットに変化を与えて伝播させるとともにシステムクロックを受け F F に受けクロックとして供給してネット変化をとらえることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝播させ、伝播成功でテストパターンを生成する自動テストパターン生成制御処理が行われることになる。

#### 【0051】

このような A T P G コア部 24 において本発明にあつては故障伝播ステート設定部 36 による故障の伝播経路を活性化させるステートとしてドントケア X の割当を許容することを特徴とする。これによって本発明における故障伝播処理は、送りクロックによるネットの変化後に活性化ステートにおけるドントケア X を非制

御値に制御させて故障の伝播経路を活性化させることができ、故障伝播のための活性化経路についても送り時刻と受け時刻でのステートでの変化を許容している。

### 【0052】

図8は、図7のATPGコア部24による処理手順を示したフローチャートであり、次のようになる。

ステップS1：ATPGコア部に与えられた故障について関連するネット接続をナローイング範囲としてマークする。

ステップS2：与えられた故障が現在のネットステートにおいて励起可能か否かを判定し、励起可能ならばステップS3に進み、不可能ならばテスト失敗を復帰値に返してステップS12に進む。

ステップS3：故障励起のための初期ネットステートを含意開始状態として設定する。

ステップS4：与えられた含意開始状態に基づき含意操作を行う。

ステップS5：ステップS4の含意操作で矛盾が発生したならばステップS11に進み、発生しないならばステップS6に進む。

ステップS6：ステップS5の含意操作で未解決なゲート条件が存在するならばステップS7に進み、存在しないならばステップS8へ進む。

ステップS7：未解決なゲートを解決するためのステートを含意開始状態として設定しステップS4へ戻る。

ステップS8：故障が観測点に到達していることを観測可能ならばテスト成功を復帰値に返してステップS12に進み、観測不可能ならばステップS9へ進む。

ステップS9：まだ伝播可能な故障が到達しているゲートが存在するならばステップS10へ進み、存在しないならばステップS11へ進む。

ステップS10：故障を伝播させるゲート条件である故障伝播ステートを含意開始状態として設定しステップS4へ戻る。

ステップS11：含意操作を戻し次なる含意開始状態の選択（バックトラック）が可能ならばステップS11へ処理を移したそれぞれの制御分岐元ステップS6





、ステップS9の次のステップS7、ステップS10に戻り、バックトラックが不可能ならばテスト失敗を復帰値に返してステップS12に進む。

ステップS12: ステップS1でマークしたナローイング範囲をアンマークし、テスト成功の復帰値をもつならばステップS4で含意されたネットステートを再度含意し、このときにクロックオフとなる送りラッチからuを含意する。

#### 【0053】

このような動的機能テストによる本発明の自動パターン生成処理を前提に以下本発明の特徴である活性化ステートとしてのドントケアXの許容、故障励起不可能の判定、検出不可能箇所の判定、パスカット対策、ナローイング処理のそれぞれについて以下詳細に説明する。

#### 【0054】

##### (2. ドントケアXの許容)

本発明による自動テストパターン生成処理が対象とする動的機能テストにあっては、システムクロックを送りクロックとして供給し、送りFFからネットに変化を与え送りクロックにより受けFFでその変化をとらえることにより送りFFから受けFFの間の転送を指定する。

#### 【0055】

図9は、活性化条件としてドントケアXを許容する動的機能テストの概略の説明図である。図9において、動的機能テストは送りFF48, 50にシステムクロックとして送りクロックSCKを供給してNANDゲート52が存在するネットに変化を与え、受けFF54に受けクロックRCKを供給してネットの変化をとらえることで、例えばNANDゲート52の一方の入力について選択した故障仮定点56の故障ステートを伝播させて試験する。このときの自動テストパターン生成のターゲットである参加者はネットでの変化を遅延させるように働く遅延故障である。

#### 【0056】

また動的機能テストにあっては、送りクロックSCKの印加により送りFF48, 50と活性化条件を与える1段前の準備FF40, 42の設定ステートの値

が変わるため、送り FF 48 から 1 段前の準備 FF 40 までの領域をトレースしてステートを決める。

#### 【0057】

このような動的機能テストを行うための自動テストパターン生成として NAND ゲート 52 の送り FF 48 側の故障仮定点 56 の故障ステートを伝播させて受け FF 54 で観測するため、ゲート 52 の送り FF 50 側に故障仮定点 56 の故障伝播 58 を活性化するための活性化ステートが設定され、この活性化ステートに本発明にあっては送りクロックのステートとしてドントケア X を許容している。

#### 【0058】

ここで本発明の動的機能テストにおける遅延故障を説明する。図 10 は、本発明の動的機能テストにおける遅延故障のうちの立ち上がり故障（0 遅延故障ともいう）の故障励起ステートの説明図である。図 10（A）は AND ゲート 60 を例にとっており、その出力ネットに故障仮定点 62 を選択した場合、故障仮定点 62 における正常時と遅延故障時のステートは図 10（B），（C）のようになる。

#### 【0059】

図 10（B）の正常時にあっては、送り時刻  $t_1$  で故障仮定点 62 のステートは 0 であり、受け時刻  $t_2$  にあってはステートは 1 となっている。これに対し図 10（C）の遅延故障にあっては、送り時刻  $t_1$  のステート 0 が受け時刻  $t_2$  で 1 とならずにステート 0 のままとなり、これで遅延故障が起きている。

#### 【0060】

このような故障仮定点 62 の動的機能テストのための故障励起ステートは、図 10（D）のように表記することができる。即ち、分子側には送り時刻における正常値と故障値が（0/0）として表示され、分母側には受け時刻における正常値と故障値が（1/0）として表示される。

#### 【0061】

この表記から正常時については送り時刻のステートが 0 で、受け時刻のステートが 1 と正常に立ち上がっているのに対し、故障時には送り時刻のステート

トが0で、受け時刻のステートが遅延故障により以前として0となっていることが分かる。このような図10の立ち上がり故障の故障励起ステートは、図9の故障仮定点56について同様に表示されている。

#### 【0062】

図11は、本発明の動的機能テストにおける立下り故障（1遅延故障ともいう）の故障励起ステートの説明図である。図11（A）は、ANDゲート60の出力ネットの故障仮定点62として選択した場合であり、この時の正常時と異常時の送り時刻及び受け時刻におけるステートは図11（B），（C）のようになる。

#### 【0063】

図11（B）の正常時にあっては、送り時刻 $t_1$ でステートが1、受け時刻 $t_2$ でステートは0となっている。これに対し図11（C）の遅延故障時にあっては、送り時刻 $t_1$ でステート1であり、受け時刻 $t_2$ で遅延故障により以前としてステート1となり、その後にステートが0となっている。

#### 【0064】

この立ち下がり故障における故障仮定点62の故障励起ステートは、図11（D）のように表記される。この表記法は図10（D）の場合と同じであり、正常値については送り時刻のステートが1、受け時刻のステートが0となって立ち下がり変化となるが、故障時には送り時刻のステート1で受け時刻のステートの1となり、立ち下がりが生ぜずに遅延故障を起している。

#### 【0065】

図12は、本発明により故障伝播経路を活性化させるために割当てられる活性化ステートの説明図である。図12（A），（B）は、従来の静的機能テスト（SFT）において送り時刻と受け時刻と概念を持たずに固定的に設定されるゲートの非制御値であり、これを図10（D）及び図11（D）と同じ動的機能テストにおける活性化ステートで表記している。

#### 【0066】

即ち図12（A）はORゲートの非制御値0を動的機能テストの活性化ステートとして表現したもので、正常値及び故障値が送り時刻及び受け時刻でステート

0となっている。また図12(B)はANDゲートの非制御値1の活性化ステートであり、正常値及び故障値は送り時刻及び受け時刻の全てステート1となっている。

#### 【0067】

図12(C), (D)は、本発明により新たに許容されたドントケアXによる活性化ステートである。図12(C)はORゲートの活性化ステートであり、送り時刻における正常値及び故障値がドントケアXとなっており、活性化を必要とする受け時刻の正常値と故障値は共にステート0となっている。

#### 【0068】

図12(D)はANDゲートの活性化ステートであり、送り時刻の正常値及び故障値のステートは共にドントケアXとなっており、受け時刻の正常値及び故障値は共に非制御値となるステート1となっている。

#### 【0069】

図12(E), (F)は、送り時刻のステートをドントケアXとした図12(C), (D)の活性化ステートについて、ドントケアXをステート1または0としたものである。この図12(E), (F)から明らかなように、本発明の動的機能テストにおける活性化ステートは、送り時刻と受け時刻でのステートの変化を許容している。

#### 【0070】

なお、図12(D)の活性化ステートは図9において、故障仮定点56の故障励起ステートを故障伝播部58により伝播させるためNANDゲート52の送りFF50側の入力に活性化ステートとして設定されている。

#### 【0071】

図13は、本発明のドントケアXの活性化ステートによる故障伝播の説明図である。図13(A)はANDゲート64, 66について従来の活性化条件としてゲートの非制御値を固定的に設定する場合の故障伝播のステートを示している。

#### 【0072】

即ちANDゲート64, 66につき故障伝播路68に示すように故障ステートを伝播させる場合、ANDゲート64, 66の反対側の入力ピンに非制御値であ

る状態 1 を固定的に設定し、故障伝播路 68 を活性化している。

#### 【0073】

これに対し本発明にあっては、図 13 (B) のように活性化状態として送り時刻でのドントケア X を許容し、受け時刻で非制御値 1 となって故障伝播路 68 を活性化する。

#### 【0074】

このようなドントケア X を受け時刻で許容する活性化状態の設定により、図 14 に示すような従来のゲート制御値に固定する活性化状態での設定では実現できなかったテストパターン生成ができる。図 14 (A) は故障仮定点 70 に立上り故障の故障励起状態を割当てて適当な論理 72, 74 を介してゲート 76, 78 側に故障を伝播させた場合の状態を表している。

#### 【0075】

このような経路活性化による従来の単一経路の活性化状態、即ち適当な論理 74 側について全て状態を非制御値に固定した場合、送りクロックの前後で非制御値を設定しようとしているゲート 78 の入力ピンに不可避な変化が伝播する場合、自動テストパターン生成は失敗することになる。

#### 【0076】

しかしながら、本発明にあっては適当な論理 74 により送りクロックの前後で不可避な変化がゲート 78 に伝播する場合であっても、ゲート 78 の活性化状態として送り時刻につき正常値及び故障値につきドントケア X の状態を割当てることで自動テストパターンの生成が可能となり、従来の非制御値に固定する活性化状態では失敗していた自動テストパターン生成を本発明にあっては、成功することができ、故障検出率を向上できる。

#### 【0077】

図 14 (B) は、故障仮定点 80 に続くネットの適当な論理 82 により故障伝播経路自身が収斂し、ゲート 84, 86 からなる複数の経路に不可避な変化が伝播する場合である。

#### 【0078】

この場合、ゲート 88 の活性化状態が送りクロックの前後で不可避な変化

を受けることで、従来の非制御値に固定した自動テストパターン生成は失敗に終わっている。このような故障伝播経路自身の収斂により活性化状態を設定する経路に不可知な経路が伝播する場合であっても、本発明にあっては、送り時刻の正常値及び故障値としてドントケアXの許容しているため、図14(B)の故障伝播による自動テスト生成も成功することとなり、故障検出率を向上させることができる。

#### 【0079】

図15は、本発明によるドントケアXから非制御値1への変化による活性化条件を認めた場合の故障伝播とテスト成功後の活性化条件を与えた経路を故障伝播経路とする処理の説明図である。

#### 【0080】

図15(A)は、送りFF90, 92, 94と受けFF100の間に2つのANDゲート96, 98を設けたネットの動的機能テストのための自動テストパターン生成における状態を示している。

#### 【0081】

この場合、ANDゲート96の出力に故障仮定点101を選択し、ここに立上り故障の故障励起状態102を設定し、この故障励起状態102を受けFF100に伝播させるための状態割当及び含意操作によりテストが成功した状態を表している。

#### 【0082】

この図15(A)の自動テストパターン生成が成功した場合の故障状態及び活性化状態の割当状態から明らかなように、活性化状態については送り時刻でドントケアXの状態が許容されているため、ドントケアXについて状態1、状態0それぞれについて従来の静的機能テストと同等な処理では活性化状態の割当をおこなう必要があったが、本発明にあっては、ドントケアXの状態を起用することで1つにまとまるようになり、割当状態の数が減少し、割当状態が減少することにより矛盾が発生することが低減し、結果として故障検出率を向上させることができる。

#### 【0083】

更に図15 (A) のように故障仮定点101についての故障励起ステート102の故障伝播に成功してテストパターンが生成されたならば、故障仮定点101の故障励起ステート102を伝播させるため活性化を行うためのネット109をその活性化ステート104における送り時刻のドントケアXをステート0に変更することで、図15 (B) のように、活性化条件を与えるネット105を故障伝播経路としたテストパターン生成処理が実行できる。

#### 【0084】

ここで図15 (A) の自動テストパターン生成を図6のATPG処理のステップS1, S2の1st故障選択とATPGコア部処理を行い、ステップS3でATPG成功が判別されると、図15 (B) の処理となるパターンコンパクションにおける2nd故障の選択によるATPGコア部処理となるステップS4, S5の処理を行うことになる。

#### 【0085】

この図15 (B) の1st故障選択で活性化条件を与えた経路105を故障伝播経路とした2nd故障選択によるテストパターン生成の処理手順は次のようになる。

#### 【0086】

(手順1: 1st故障の影響除去)

図15 (A) のネット105, 107の経路に存在する故障点の影響が除去され、正常値=故障値のステートとなる。尚、図15 (B) のネット107のステートは後述の手順3の含意操作後を示しているので、受け時刻での正常値と故障値のステートが異なっているが、この時点でネット107のステートは手順1によって正常値=故障値にそろえられる。

#### 【0087】

(手順2: 2nd故障励起)

図15 (B) のネット109において、図15 (A) のステート104の送り時刻ステート「X/X」に対して「0/0」のステートが割り当てられ、送り時刻と受け時刻の故障値につき「0→1」の変化をもつ故障励起ステート106の割り当てにより、故障仮定点111に立上り遅延故障(0遅延故障)が励起される

。

### 【0088】

(手順3: 含意操作)

ネット109において励起された故障励起ステート106が、ネット109、ネット107及び受けFF100へと伝播される。

### 【0089】

尚、図15 (A) (B) にあつては、全ての送りFF90, 92, 94に送りクロックSCKが入るものとして、受け時刻のステートとなるキャプチャ・ステート(送りFFのD入力)を示している。

### 【0090】

次に図8のATGPコア部処理による本発明の動的機能テストのための自動テストパターン生成処理の具体例を図16～図21を参照して説明する。

### 【0091】

図16は、図8のATGPコア部処理において、ステップS1でナローイングのマーク付け処理を終了し、ステップS2で励起を判別してステップS3で故障励起を行った場合の具体例の説明図である。

### 【0092】

図16にあつては送りFF108、110と受けFF112の間にANDゲートG1、インバータN1, N2及びNANDゲートG2～G6のネットが存在し、ANDゲートG1の出力に故障仮定点115を選択した場合を例にとっている。尚、以下の説明にあつてはG1～G6は単にゲートという。また、この対象回路にあつてはインバータN1とゲートG3の入力、及びゲートG4とインバータN2の入力ピンのそれぞれに送りFFが設けられているが、これは省略している。

### 【0093】

図16の故障励起にあつては、選択された故障仮定点115に対し、故障励起ステート112を割当ててゐる。この故障励起ステート112は正常値が送り時刻でステート0、受け時刻でステート1と立上り、故障値が送り時刻でステート0、受け時刻でステート0となる立上り故障を励起している。



## 【0094】

続いて図17に示すように図8のステップS4に進んで含意操作を行う。この含意操作は、故障仮定点115の前方のゲートG3, G4の入力ピンに故障励起ステートと同じステート114, 116を割当てると共に、その出力ピンにステート118, 120を割当ててゐる。

## 【0095】

また故障仮定点111から後方に位置するゲートG1の入力ピンにステート112, 126を割当て、これによりゲートG2, G5の入力ピンのそれぞれに同じステート124, 128を割当ててゐる。

## 【0096】

図18は、図8のステップS4で図17のような含意操作を行った後、ステップS5で矛盾なしが判別され、ステップS6で解決すべき条件が判別されて、ステップS7に進んで条件解決ステートの設定が行われ、続いてステップS4に戻って含意操作が行われた場合の説明図である。

## 【0097】

即ち、図18にあっては、図17におけるゲートG1の2つの入力ピンのステート122, 126について解決すべき条件をチェックし、この場合、下側の入力ピンのステートについては解決すべき条件なし132で条件解決ステート130を行ってステート133を割当ててゐる。

## 【0098】

この条件解決ステート設定がすんだならば、ゲートG2の入力ピン及び出力ピンについてステップS4の含意操作を行うことでステート134, 136, 138を割当てられる。

## 【0099】

続いて図8のステップS5で矛盾なしが判別され、ステップS6で解決すべき条件が無くなったことから、ステップS8で故障観測を受けFF112について行うが、この場合は不可能であることからステップS9に進み伝播可能な故障があるか否か判別する。この場合には伝播可能な故障があることからステップS10で故障伝播ステートの設定を行った後、ステップS4に戻って含意操作を行う

。

## 【0100】

図19は、このステップS10における故障伝播ステートの設定とその後のステップS4の含意操作の具体例である。まず、伝播可能な故障としてゲートG3、G4の内この場合にはフロンティア選択140をゲートG3に対し行い、故障仮定点111からの故障ステートを伝播させるゲートG3の上側の入力ピンのステート142を設定する。

## 【0101】

このステート142の設定に伴い、ゲートG3の出力ピンには故障ステート144が伝播される。また故障伝播ステート142の設定に伴うステップS4の含意操作によりインバータN1の入力ゲートのステート146及び出力ピンのステート148が割当てられ、更にゲートG2の出力ピンのステート150が決まり、同時にゲートG6の入力ピンのステート152が割当てられる。

## 【0102】

続いて図8のステップS5、S6、S8、S9を経て、ステップS10の故障伝播ステートの設定とステップS4の含意操作を行う。この2回目の処理に伴う故障伝播ステートの設定及び含意操作は、図20の具体例のようになる。

## 【0103】

2回目の伝播可能な故障としてはゲートG4をフロンティア選択154として、図9と同じステートの割当操作を行えばよいが、この例にあってはゲートG6及びゲートG1の出力ピンの故障仮定点115からみて上下対称であることから、ゲートG6の故障伝播ステート156が例外的にただちに設定できる。

## 【0104】

この故障伝播ステート156に対するコア操作でゲートG5の出力ピンのステート158、インバータN2からの入力ピンステート160、インバータN2の入力ピンのステート162、ゲートG4の入力ピンの入力ステート164、更にゲートG4の出力ピンのステート166が一括して割当てることができる。

## 【0105】

このような故障伝播ステートの設定と含意操作により、ゲートG6の入力ピン

について、故障ステートが入力するゲート G 3 からの入力ピン以外の入力ピンが故障伝播可能なステートの割当状態となり、ゲート G 6 の出力ピンに故障ステート 170 が伝播する。

#### 【0106】

このため図 8 においてステップ S 5, S 6, S 7 を介して S 8 に進んだ時に故障観測が可能となり、ステップ S 12 に進んでナローイングのマークはずしの処理を行い、ステップ S 13 で FF のクロックオフのアンコントロール u のステートの含意操作（後の説明で明らかにする）を行い、テスト成功で自動テストパターン生成の処理が終了する。

#### 【0107】

この図 16 ～図 20 に示した図 8 の ATGP コア部処理は、図 6 におけるステップ S 1 ～ S 2 の 1st 故障選択による ATGP コア部処理であり、ステップ S 3 で ATGP が成功したことが判別されるとステップ S 4, S 5 でパターンコンパクションのための 2nd 故障選択による ATPG コア部処理を行うことになる。

#### 【0108】

この場合、本発明にあつては図 21 のように、1st 故障選択によるテストパターン生成で成功となった図 20 のゲート G 1 の活性化条件を与えているステート 172 について、送り時刻のステートであるドントケア X の受け時刻のステート 1 の逆値 0 に変更した故障ステート 172-1 を割当ててコンパクション故障励起を行う。

#### 【0109】

このコンパクション故障励起に伴う故障伝播と含意操作は、図 15 (B) の場合と同様な手順に従って行われる。

#### 【0110】

このようにコンパクション故障励起ステート 172-1 の割当により、成功したテストパターン生成で活性化条件を付与する条件が故障伝播経路とすることができ、これによってパターンコンパクションのテストパターン生成処理の処理効

率を高め、トータル的な生成テストパターン数を必要させることができる。この

### 【0111】

#### (3. 故障励起不可能の判定)

本発明におけるシステムクロックを用いた動的機能テストにあつては、図9に示したように、送りFF48, 50からのステート変化は送りクロックが印加される前に設定していた準備FF40, 42の出力ステートと、印加された送りクロックSCKによりキャプチャーされる送りFF48, 50の入力ピンのステートと反転関係によって発生する。従つて、立上り故障または立下がり故障といった遷移故障を励起するためには、遷移故障が仮定される故障仮定点56のネットをドライブする少なくとも1つの送りFFにはシステムクロックが印加されることが必須条件となる。

### 【0112】

この時、従来のように静的機能テストと同等のゲート管理を行う動的機能テストによる自動テストパターン生成では、FFにおけるゲートの含意動作は、送り時刻において、例えば送りFF48の送りクロックにオフが割当てられた場合でも、このクロックオフにより派生される含意は、受け時刻における送りFF48の出力のホールド状態に限定されている。

### 【0113】

しかしながら、クロックオフが割当てられたときの送り時刻及び受け時刻におけるFFの出力ステートが共にドントケアXであるような場合には、受け時刻における受けFF54の出力はXからXが含意されるのみであり、ステートの更新は一切なされない。

### 【0114】

即ち送りFFの出力によってのみ制御を受けるネットの遷移状態が故障励起不可能である場合にも、静的機能テストと同等な自動テストパターン生成にあつては遷移故障に対する励起が不可能であることを即時で知ることができない。

### 【0115】

従つて、従来 of 静的機能テストと同等の含意処理しか行わない自動テストパタ

ーン生成にあつては、実際に励起のためのステート割当を行ってから処理がクロックオフであるFFに達した時点で、初めて矛盾を検知して不成功と判断するため、本来は無駄なはずである処理に時間を費やすという問題がある。

【0116】

そこで本発明の動的機能テストのゲート含意にあつては、図22(A)のように、送り時刻において送りFF174に送りクロックオフが割当てられていたならば、送りFF174に対応した受け時刻の受けFF176の出力ピンに対し、受け時刻の故障値のステートとしてアンコントロールuとすることを含意する。

【0117】

即ち図22(A)のクロックオフ側に受けられた送りFF174については、送りFF174の出力のステートとして受け時刻の故障値のステートをアンコントロールuとしたステート割当を行って、これを伝播させる。

【0118】

図22(B)は、従来の静的機能テストにおける含意処理のステートを示しており、この場合、送りFF174の出力のステートはクロックオフによって送り時刻及び受け時刻について全て同じドントケアXとなり、これがゲート176に対する活性化条件の付与で伝播する。

【0119】

このような従来のクロックオフの送りFF174のステート割当に基づいて、図22(C)のように故障仮定点180に故障励起ステート182を割当て、受けFFで伝播された故障が確認された場合、後方に対する含意操作を行う。この含意操作において、故障仮定点180の故障励起ステート182に対応して、送りFF174の出力ピンのステートとしてステート186が割当てられる。

【0120】

しかしながら、この場合、送りFF174はクロックオフにあることから出力のステートはステート188のように正常値及び故障値とも送り時刻、受け時刻のそれぞれでステート1のはずであり、ステート188と矛盾し、この時点で故障仮定点180の故障励起ステート182による故障励起は励起不可能と判定される。

## 【0 1 2 1】

このため図 2 2 (B) (C) のような静的機能テストの含意操作によるクロックオフの送り F F の出力ステートにおける故障励起不可能の判断のため、多くの処理時間が必要となる。これに対し本発明にあっては、図 2 2 (A) に示したように、送り F F 1 7 4 の出力の受け時刻の故障値としてアンコントロール u のステートを割当てて伝播させることで、受け F F で観測されたステートの受け時刻の故障値がアンコントロール u であればクロックオフの送り F F からの故障伝播経路における故障仮定点に対する故障励起を不可能としてターゲットから除外する。これによって無駄なターゲットに対する自動テストパターン生成を不要にし、全体としての自動テストパターン生成処理の高速化を図ることができる。

## 【0 1 2 2】

## (4. 検出不可能故障の判定)

本発明において動的機能テストに対象となる遷移故障を扱う場合、励起された故障の可能性と不可能性は、送り時刻と受け時刻という少なくとも 2 つの時刻におけるステートの関係として定義されるため、静的機能テストで扱う縮退故障と同等の等価故障の概念を用いることは不可能である。

## 【0 1 2 3】

例えば AND ゲートにおいて入力ピンと出力ピンに仮定される各々の 0 縮退故障は、故障伝播に関し全ての入力ピンと出力ピンのステートを 1 にする同一の条件を持つために等価故障である。

## 【0 1 2 4】

しかしながら、本発明が対象とする遷移故障にあっては、例えばネット A とネット B となる 2 つの入力を持つ AND ゲートにおいて、ネット A に仮定される 0 遷移故障、即ちネット A のステートが 0 から 1 に変化する時に 0 から 0 として励起される故障の検出を考えた時、この AND ゲートで必須となる条件はネット A の送り時刻から受け時刻における正常値の変化が 0 から 1 で、故障値の変化が 0 から 0 であり、且つネット B にあっては送り時刻から受け時刻における正常値が X から 1 で、故障値についても同じく X から 1 である。

## 【0125】

同様にネットBに仮定される0遷移故障に対する検出を考えると、ネットAの受け時刻から送り時刻の正常値の変化がXから1で、故障値の変化も同じくXから1であり、同時にネットBについては送り時刻から受け時刻への正常値の変化が0から1で、故障値の変化が0から0となる。このため変化前のステート、即ち送り時刻における必須条件が異なるためネットA、ネットBに仮定されるそれぞれの0遷移故障は等価故障ではない。

## 【0126】

このため本発明の動的機能テストで対象とする遷移故障においては、周知の縮退故障と同等の等価故障を求めることはできないため、なんらかの対応を行わない場合には、自動テストパターン生成を全ての故障を対象にせざるをえなくなるか、もしくは自動テストパターン生成が失敗した遷移故障がファンアウトを持たず、且つ1入力1出力のインバータやバッファなどのゲートの入出力ピンに仮定される場合のみ、検出不可能とした故障として対象から外すという除外処理しかできない。

## 【0127】

このため本発明の動的機能テストにおける自動テストパターン生成は、静的機能テストに基づく場合に比べ、処理時間が非常にかかることになる。そこで本発明にあっては、図23に示すように、例えば故障仮定点196の故障励起に対する自動テストパターンが失敗したとき、故障仮定点196を選択したネットからファンアウトフリー領域192におけるブランチ185-1, 185-2までのネットにおける故障仮定点200, 204, 206のうち、失敗した故障仮定点196との間で、

(条件1) 失敗した故障と反転関係が等しいこと、かつ

(条件2) 故障値がゲートの正常値と等しいこと、

を満足する故障を検出不可能故障としてマークF0を付与し、このマークされた検出不可能故障を自動テストパターン生成のターゲットから除外する。

## 【0128】

尚、検出不可能故障を判定するファンアウトフリー領域192は、自動テスト

パターンが失敗した故障仮定点 196 に回路が収束して発散しない領域を意味する。

#### 【0129】

図 24 は、検出不可能故障を判定する条件 1、条件 2 の説明図である。図 24 はゲート 210 の出力の故障仮定点 208 の故障励起による自動テストパターンが失敗した場合、条件 1 として失敗した故障仮定点 208 のステートに対し、ゲート 210 の入力の故障仮定点 212 の故障励起ステートは反転関係が等しいことから条件 1 を満足する。

#### 【0130】

また故障仮定点 212 の受け時刻における故障値 0 が AND ゲート 210 の正常値 0 に等しいことから条件 2 を満足する。したがって故障仮定点 212 については検出不可能故障として故障を示すマーク F0 を付与する。

#### 【0131】

図 25 は、ネット A とネット B からなる 2 つの入力を持つ AND ゲート 216 における検出不可能故障の判定条件の説明図である。

#### 【0132】

図 25 (A) はファンアウトフリー領域 214 の AND ゲート 216 の出力ピンに故障仮定点 215 を選択して故障励起ステートを割当てた場合であり、この場合のネット A、ネット B で自動テストパターン生成を成功させるためのステート設定は図 25 (A) の状態かまたは図 25 (B) の状態のいずれかである。

#### 【0133】

このため AND ゲート 216 の出力ピンの故障仮定点 215 の励起故障ステートの割当てにおける自動テストパターン生成が失敗するのは、図 25 (A)、(B) のいずれの入力ゲートのステート割当てに失敗するか、もしくはステム 217 からファンアウト先の活性化経路が存在しないかのいずれかである。

#### 【0134】

ここで割当てに失敗した入力の状態はネット A、B の故障仮定点 219-1、219-2 に仮定される故障ステートのうち、受け時刻の故障値が AND ゲート 216 の正常値 0 と等しい故障励起ステートであり、失敗した故障仮定点 215 の



故障励起状態と反転関係が等しいため、ネット A, B の故障仮定点 219-2, 219-2 について、条件 1, 2 を満たす故障の検出も不可能である。

#### 【0135】

そして、ある故障励起状態に対する自動テストパターン生成が失敗した時には、ファンアウトフリー領域 214 の内部をブランチからステムまでについて条件 1 と条件 2 を満足する故障仮定点を判別して検出不可能故障を示すマーク F0 を付与し、マーク F0 を行った故障仮定点を自動テストパターンのターゲットから除外することで、無駄な自動テストパターン生成を行わないようにして処理の高速化を図る。

#### 【0136】

##### (6. パスカット対策)

図 25 は、図 2 の集積回路テスト装置におけるパスカット対策部 14 のブロック図である。このパスカット対策部 14 は、パスカット対策全体制御部 218、パスカット点選択部 220、不変状態設定 ATPG 部 222 及び検出不可能故障数測定部 224 で構成される。

#### 【0137】

このような構成によりパスカット対策部 14 は、パスカット点をドライブするゲート入力において、送り時刻と受け時刻でゲートの制御値を付与してゲートを固定するか、もしくは送り時刻と受け時刻で全てのゲートに非制御値を付与するかして、パスカット点の状態を不変状態となる受け時刻の状態 0 から送り時刻の 0、または送り時刻の 1 から受け時刻の 1 に割り当てて固定化する。

#### 【0138】

このようなパスカット対策を必要とする理由は次のようになる。従来よりパスカットを必要とする経路としてループ回路が知られており、ループ回路に関するパスカットの手法が数多く提案されている。

#### 【0139】

一方、動的機能テストでパスカットを行う必要のある経路としては、ループ回

路の他に1システムサイクル(1 $\tau$ )での転送を保証しない図26に示すn $\tau$ パス226が存在する。このn $\tau$ パス226は、オペレーションステータスレジスタによる設定などのシステムの起動時やデバック時にのみ有効となるパスである。

#### 【0140】

しかも、動的機能テストでパスカットを必要とするn $\tau$ パス226はループを構成しておらず、固定的なパスカットではなく、送り時刻と受け時刻というタイミングの要件によりカットする必要がある。

#### 【0141】

また静的機能テストで適用されるパスカットは、対象とするパスをカットするタイミングがクロックの印加に対し十分に余裕があるため、外乱的な変化がネットを通過するハザードについての考慮は不要である。これに対し動的機能テストにあっては、送りクロックと受けクロックを高速に印加するため、カット対象となるパスにおいてハザードが発生すると、このハザードを受けてクロックがテスト時に集積回路を誤動作させる危険性があり、ハザードの抑制を考慮したパスカットの必要がある。

#### 【0142】

また、動的機能テスト特有のシステムクロックの1サイクルでの転送を保証していない、例えば図26のn $\tau$ パス226のような経路に対するパスカットとして、従来のループパスのカットと同等の方法でパスカットを行うと、実際にはループでないにも関わらずループと見なして、ループパス自体は制御が不能であることにより、ループとみなすパスを構成するゲートのうち多入力ゲートについて、ループと見なしたパスでない側の入力にゲートの制御値を設定する。

#### 【0143】

このときカット対象となるn $\tau$ パス226を固定するためのステート設定を行う制御点231からとパスカット点230からの接続先のゲート242において、パスカット230と制御点231に与えた固定ステートの伝播により検出不可能となる故障が発生することは不可避である。

#### 【0144】

しかしながら、従来のループ回路を対象としたパスカットでは、パスカット点 230 の状態をゲート 242 の制御値により固定するしかないため、動的機能テストにおいてはカット点の選択とカット点を固定化するための状態選択において最適でない選択がなされる問題がある。

#### 【0145】

また静的機能テストのパスカットでは、カット点で状態が固定されるタイミングとクロック印加のタイミングには余裕があるため、パスカット点にゲートの制御値を固定してパスカットを行う場合、カット対象パスで発生するハザードを考慮する必要はない。

#### 【0146】

しかし、動的機能テストにあつては、送り時刻と受け時刻で独立にパスをカットするように制御値が与えられる可能性があり、このような制御値の渡りが存在する場合には、パスカット点に制御値の到達するタイミングによってはパスカット対象パスにハザードが発生する可能性がある。

#### 【0147】

そこで本発明にあつては、図 28 (A) (B) の 2 つのパスカット方法のいずれかを選択する。図 28 (A) はループ回路を対象としたパスカットと同じ手法であり、パスカット点 245 をドライブする AND ゲート 246 の入力ピンにおいて、送り時刻と受け時刻で制御値 0 を付与して状態を固定し、パスカット点 245 の状態を送り時刻の状態 0 から受け時刻の状態 0 とする不変状態を割り当てて固定化する。

#### 【0148】

図 28 (B) は、本発明により新たに追加されたパスカット対策である。このパスカット対策は、パスカット点 245 をドライブする AND ゲート 248 のゲート入力において、送り時刻と受け時刻で全てのゲート入力に AND ゲート 248 の非制御値 1 を付与して、パスカット点 245 の状態を送り時刻の 1 から受け時刻の 1 に割り当てて固定化する。

#### 【0149】

この図 28 (B) におけるパスカット対策は、動的機能テストにあつては、送

り時刻と受け時刻の間でパスカット点のステートが同じ値でさえあればよいという条件に着目して行っている。

#### 【0150】

ところで本発明のパスカット対策として、あるパスのパスカット点に対し不変ステートを割り当てることは、自動テストパターン生成のステート選択に対する自由度を低下させるため、検出不可能な故障が発生することを意味する。このとき、ある1つのパスカット点に対する不変ステートには送り時刻と受け時刻の間で0から0を割り当てる場合と1から1を割り当てる場合との2つの選択が存在する。

#### 【0151】

そこで本発明にあっては、パスカット点の固定ステートとして検出不可能故障の発生を最小化するように、0から0または1から1の不変ステートを選択する。

#### 【0152】

具体的には、選択されたパスカット点に対し不変ステートの割り当てを行う際に、0から0の不変ステートと1から1の不変ステートのそれぞれの場合について、図25の不変ステート設定ATPG部222により検出不可能故障数を測定して、図29のような0から0と、1から1を元とする離散空間における検出不可能故障数を高くさせる超平面を考える。

#### 【0153】

この検出不可能故障数の測定から得られた超平面において、超平面の斜面を下るように検出不可能故障数が少なくなる不変ステート、例えば図29の場合には0から0の不変ステートを選択してパスカット点に割り当てることで、検出不可能故障数の発生を極小化し、故障検出率の低下を防止している。

#### 【0154】

図30は、図29によるパスカット対策処理のフローチャートであり、次の処理手順からなる。

ステップS1：ユーザ指示によるパスカット点集合より任意に一つのパスカット

点を選択する。

ステップ S 2：ステップ S 1 で選択されたパスカット点に対して、パスカット点に与える不変ステートとして 0 と 1 の双方を試行する。

ステップ S 3：ステップ S 2 で設定されたカット点に不変ステートを満たすネットステートを自動テストパターン生成処理により求める。

ステップ S 4：ステップ S 3 の自動テストパターン生成処理により求められたネットステートにおいて検出不能と測定される故障数を検出不可能故障数[不変ステート]として保存する。

ステップ S 5：ステップ S 2 ～ステップ S 4 の動作により得られるパスカット点に設定した不変ステート（0、1）の双方についての検出不可能故障数[0]、検出不可能故障数[1]を比較し、検出不可能故障数が少なくなるステートをステップ S 1 で選択したパスカット点に設定すべき不変ステートとして採用する。

ステップ S 6：ユーザ指示によるパスカット点集合のうちステップ S 1 ～ステップ S 5 までで処理されていないパスカット点が存在するならばステップ S 1 に戻る。

#### 【0155】

図 3 1 は、パスカット点の不変ステートの割当て成功で行うハザードフリー化の説明図である。図 3 1（A）は、図 2 9（A）のパスカット対策により、AND ゲート 2 5 4 の 3 つの入力ピン 2 5 4-1 ～2 5 4-3 のうち入力ピン 2 5 4-1 について、送り時刻と受け時刻での AND ゲート 2 5 4 の制御値 0 を付与してステートを固定することで、パスカット点 2 5 8 において送り時刻のステート 0 から受け時刻のステート 0 となる不変ステートの割当てに成功している。

#### 【0156】

しかしながら、この場合には、ドライバ側の AND ゲート 2 5 4 において入力ピン 2 5 4-1 の送り時刻の制御値 0 が、受け時刻では入力ピン 2 5 4-3 の制御値 0 に乗り替わっている。このため故障仮定点 2 5 8 にあつては、静的には 0 から 0 であるが、他のドントケア X となる入力にあつてはハザードが発生する可能性がある。

#### 【0157】

そこで本発明にあつては、図31(B)のように、パスカット点258での不変状態の割当てが成功したときにバックトレースを行い、ANDゲート254のように制御値0の送り時刻から受け時刻への乗り換えがある場合には、受け時刻で制御値0を与える入力ピン254-3についても、送り時刻のドントケアXを制御値0に割り当てることで、パスカット点258に対しハザードフリーな不変状態を作成する。

### 【0158】

#### (6. ナローイング処理)

図7のATPGコア部24に設けているナローイングマーク処理部28にあつては、故障励起部30による故障励起の前処理として、図32に示すように、故障仮定点268から受けFF群266を経由して送りFF群264までのバックトレース270、272によるナローイング範囲のマークと、送りFF群264から準備FF群262までのバックトレース274によるナローイング範囲のマークを行う。

### 【0159】

このとき各FF間でのファンアウトの広がりが一様に同等ならば、一般に受けFF群266から送りFF群264までのトレース範囲に比べ、送りFF群264から準備FF群262までのトレース範囲は平均して二乗の広さを持ち、ナローイングを行うためのトレース処理に時間がかかる。

### 【0160】

図33は、あるターゲット故障に対するナローイング操作で含意伝播をマークするバックトレースを示している。このバックトレースにおけるネットステートとして、ANDゲート276の入力ピン276-1のステートは送り時刻及び受け時刻の両方についてドントケアX以外のステートが割り当てられている。

### 【0161】

このためターゲット故障に対し後に行われる如何なる故障励起及び故障伝播の含意操作によっても、入力ピン276-1のネットステートは変更されることはない。したがって、このドントケアX以外のステートを持つ入力ピン276-1

までを含意伝播の対象外としてトレースを停止する。

【0162】

このようにナローイングのバックトレースを停止させる送り時刻と受け時刻のネットステートが決定されるのは、テストモードのようなネットステートの固定値が設定される場合、もしくはパターンコンパクションにおいて、より以前のターゲット故障に対する自動パターン生成の成功によるステート割当てが済んだ場合である。

【0163】

したがって本発明のナローイング処理にあつては、パターンコンパクションによりナローイングにおけるトレース停止が行われるための含意伝播範囲、即ちナローイング範囲のマーク処理が削減され、自動テストパターン生成の高速化を図ることができる。

【0164】

一方、本発明におけるナローイング処理は、ある故障ターゲットに対する故障励起と故障伝播操作に先立つ前処理としてネットのマーキングを行い、そのターゲット故障への故障励起及び伝播操作による自動テストパターン生成の完了後にマークを外すアンマークを行っているが、トレースされるネット範囲はターゲットの故障値には依存していない。

【0165】

ところが、通常の動的機能テストにおいて、ターゲットとする故障には図10に示した立ち上がり遅延故障と図11に示した立ち下がり遅延故障のペアが存在する。

【0166】

そこで本発明にあつては、立ち上がり故障と立ち下り故障からなるペア故障の一方に対する自動パターン生成が失敗したとき、ペア故障のもう一方が未検出であるならばナローイング範囲のアンマークを行わずに、既に設定されているナローイング範囲を流用し、未検出なペア故障の残りを次のターゲットとして故障励起と伝播操作による自動テストパターン生成を行うようにする。

【0167】

図34は、ペア故障をターゲットとするATPG処理のフローチャートであり、ステップS1～S6は図6の処理と同じである。これに加えてペア故障をターゲットとする場合には、ステップS3でペア故障の一方についてATPGが失敗した場合には、ステップS7で他のペア故障が未検出か否か判定し、未検出である場合には、ステップS8に進んでナローイング範囲を利用し、未検出のペア故障をターゲットに設定して、ステップS1からのATPG処理を行う。

#### 【0168】

また本発明は各実施形態に示したフローチャートで実現される集積回路テスト処理のためのプログラムを提供すると同時に、このプログラムを格納したコンピュータ読み取り可能な記憶媒体を提供している。この場合の記憶媒体としては、CD-ROM、フロッピーディスク、DVDディスク、光磁気ディスク、ICカードなどの可搬型記憶媒体や、コンピュータシステムの内外に備えられたハードディスクHDDなどの記憶装置の他、回線を介してプログラムを保持するデータベース、あるいは他のコンピュータシステム並びにそのデータベースや、更に回線上の伝送媒体を含むものである。

#### 【0169】

なお本発明は上記の実施形態に限定されず、その目的と利点を損なうことのない適宜の変形を含む。また本発明は、上記の実施形態に示した数値による限定は受けない。

#### 【0170】

ここで本発明の特徴をまとめて列挙すると、次の付記のようになる。

(付記)

(付記1)

回路データ読み込み部により、回路データを読み込む読込ステップと、パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、自動テストパターン生成部により、パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、を備えた集積回路テスト方法に於いて、



前記自動テストパターン生成ステップは、  
ナローイング処理部により、故障仮定点に対応した送り F F 群、受け F F、更に  
前記送り F F 群の 1 段前の準備 F F 群を含む領域を処理対象回路として特定する  
ナローイングステップと、  
故障励起部により、前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1  
から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる  
故障励起ステップと、  
故障伝播状態設定部により、残りの準備 F F と送り F F に前記故障の伝播経  
路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップ  
と、

自動テストパターン生成制御部により、システムクロックを前記送り F F に送  
りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に  
、システムクロックを前記受け F F に受けクロックとして供給してネット変化を  
捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するため  
のステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップ  
と、

を備え、更に、  
前記経路活性化ステップは、故障の伝播経路を活性化させる状態としてドント  
ケア X の割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移さ  
せて故障の伝播経路を活性化させることを特徴とする集積回路テスト方法。（1

）

#### 【 0 1 7 1 】

（付記 2）

付記 1 記載の集積回路テスト方法に於いて、前記ドントケア X は、逆の値に置  
き換えても故障検出率に影響を与えないテストパターンを構成する論理値である  
ことを特徴とする集積回路テスト方法。

#### 【 0 1 7 2 】

（付記 3）

付記 1 記載の集積回路テスト方法に於いて、前記故障伝播ステップが終了した後に、

前記経路活性化ステップのドントケア X を受け時刻のステートと逆値に変更して故障励起のステートを割り当てるコンパクション故障励起ステップと、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させさせ、伝搬成功でテストパターンを生成するコンパクション故障伝搬ステップと、

を備えたことを特徴とする集積回路テスト方法。(2)

#### 【0 1 7 3】

(付記 4)

付記 1 記載の集積回路テスト方法に於いて、前記故障励起ステップは、送り時刻で送り F F にクロックオフが割り当てられていた場合、前記送り F F の受け時刻の出力に対して故障値に対して故障励起不可能を示すアン・コントロール値 u に含意し、前記アン・コントロール値 u の割り当て自体が故障励起不可能と判定して遅延故障のターゲットから除外することを特徴とすると集積回路テスト方法。(3)

#### 【0 1 7 4】

(付記 5)

付記 1 記載の集積回路テスト方法に於いて、前記故障伝播ステップで故障伝播に失敗した場合、失敗した故障が仮定されたネットからファンアウト・フリー領域の分岐入力までのネットに仮定される故障の内、失敗した故障と反転関係が等しく且つ故障値がゲートの制御値と等しい故障を抽出して検出不可能故障として除外することを特徴とする集積回路テスト方法。(4)

#### 【0 1 7 5】

(付記 6)

付記 1 記載の集積回路テスト方法に於いて、前記パスカットステップは、前記パスカット点をドライブするゲート入力において送り時刻と受け時刻でゲートの

制御値を付与してステートを固定するか、若しくは送り時刻と受け時刻で全てのゲート入力にゲートの非制御値を付与して、前記パスカット点のステートを不変ステート 0 から 0 又は 1 から 1 を割り当てて固定化することを特徴とする集積回路テスト方法。(5)

**【0176】**

(付記7)

付記6記載の集積回路テスト方法に於いて、前記パスカットステップは、パスカット点に割り当てる不変ステート 0 から 0 又は 1 から 1 について前記自動テストパターン生成ステップにより検出故障不可能数を測定し、故障検出不可能数の少ない不変ステートを選択する不変ステート選択ステップを備えたことを特徴とする集積回路テスト方法。(6)

**【0177】**

(付記8)

付記6記載の集積回路テスト方法に於いて、前記パスカットステップは、パスカット点に対するドライバ側ゲートの複数の入力ピンに、送り時刻と受け時刻で制御値のピン入力位置が変化する乗り換えがある場合、受け時刻で制御値が与えられる少なくとも一本の入力ピンに対し送り時刻で制御値を追加して割り当てることにより、パスカット点に対しハザードフリーな不変ステートを生成するハザードフリー化ステップを備えたことを特徴とする集積回路テスト方法。

**【0178】**

(付記9)

付記1記載の集積回路テスト方法に於いて、前記ナローイングステップは、前記故障励起ステップの前処理として、故障仮定点から受けFFを経由して送りFF群までと、送りFF群から準備FF群までとの2段階のバックトレースによりナローイング範囲をマークし、ネットの送り時刻と受け時刻のステータスが共にドントケアXであれば、該ネット以降のバックトレースを停止するナローイングステップを備えたことを特徴とする集積回路テスト方法。(7)

**【0179】**

(付記10)

付記 9 記載の集積回路テスト方法に於いて、前記自動テストパターン生成ステップは、同一ネットの立上り遅延故障と立下り遅延故障のうちのいずれか一方につき遅延故障の検出に失敗した場合、前記ナローイングステップのバックトレースでマークされてたナローイング範囲のマーク外しを行うことなくそのまま流用して未検出な他方の遅延故障をターゲットとしてテストパターン生成を実行することを特徴とする集積回路テスト方法。

### 【0180】

(付記 11)

コンピュータに、  
回路データを読み込む読込ステップと、  
パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、  
パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、  
を実行させるプログラムに於いて、  
前記自動テストパターン生成ステップは、  
故障仮定点に対応した送り FF 群、受け FF、更に前記送り FF 群の 1 段前の準備 FF 群を含む領域を処理対象回路として特定するナローイングステップと、  
前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起ステップと、  
、  
残りの準備 FF と送り FF に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、  
システムクロックを前記送り FF に送りクロックとして供給して送り FF からネットに変化を与えて伝播させると共に、システムクロックを前記受け FF に受けクロックとして供給してネット変化を捉えることにより、送り FF から受け FF の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、  
を実行させ、更に、

前記経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させることを特徴とするプログラム。（8）

【0 1 8 1】

（付記 1 2）

付記 1 1 記載のプログラムに於いて、前記ドントケア X は、逆の値に置き換えても故障検出率に影響を与えないテストパターンを構成する論理値であることを特徴とするプログラム。

【0 1 8 2】

（付記 1 3）

付記 1 1 記載のプログラムに於いて、前記故障伝播ステップが終了した後に、前記経路活性化ステップのドントケア X を受け時刻のステートと逆値に変更して故障励起のステートを割り当てるコンパクション故障励起ステップと、システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成するコンパクション故障伝搬ステップと、を備えたことを特徴とするプログラム。

【0 1 8 3】

（付記 1 4）

付記 1 1 記載のプログラムに於いて、前記故障励起ステップは、送り時刻で送り F F にクロックオフが割り当てられていた場合、前記送り F F の受け時刻の出力に対して故障値に対して故障励起不可能を示すアン・コントロール値に含意し、前記アン・コントロール値の割り当て自体が故障励起不可能と判定して遅延故障のターゲットから除外することを特徴とするプログラム。

【0 1 8 4】

（付記 1 5）

付記 1 1 記載のプログラムに於いて、前記故障伝播ステップで故障伝播に失敗した場合、失敗した故障が仮定されたネットからファンアウト・フリー領域の分岐入力までのネットに仮定される故障の内、失敗した故障と反転関係が等しく且つ故障値がゲートの制御値と等しい故障を抽出して検出不可能故障として除外することを特徴とするプログラム。

**【 0 1 8 5 】**

(付記 1 6)

付記 1 1 記載のプログラムに於いて、前記パスカットステップは、前記パスカット点をドライブするゲート入力において送り時刻と受け時刻でゲートの制御値を付与してステートを固定するか、若しくは送り時刻と受け時刻で全てのゲート入力にゲートの非制御値を付与して、前記パスカット点のステートを不変ステート 0 から 0 又は 1 から 1 を割り当てて固定化することを特徴とするプログラム。

**【 0 1 8 6 】**

(付記 1 7)

付記 1 6 記載のプログラムに於いて、前記パスカットステップは、パスカット点に割り当てる不変ステート 0 から 0 又は 1 から 1 について前記自動テストパターン生成ステップにより検出故障不可能数を測定し、故障検出不可能数の少ない不変ステートを選択する不変ステート選択ステップを備えたことを特徴とするプログラム。

**【 0 1 8 7 】**

(付記 1 8)

付記 1 6 記載のプログラムに於いて、前記パスカットステップは、パスカット点に対するドライバ側ゲートの複数の入力ピンに、送り時刻と受け時刻で制御値のピン入力位置が変化する乗り換えがある場合、受け時刻で制御値が与えられる少なくとも一本の入力ピンに対し送り時刻で制御値を追加して割り当てることにより、パスカット点に対しハザードフリーな不変ステートを生成するハザードフリー化ステップを備えたことを特徴とするプログラム。

**【 0 1 8 8 】**

(付記 1 9)

付記 11 記載のプログラムに於いて、前記ナローイングステップは、前記故障励起ステップの前処理として、故障仮定点から受け FF を経由して送り FF 群までと、送り FF 群から準備 FF 群までとの 2 段階のバックトレースによりナローイング範囲をマークし、ネットの送り時刻と受け時刻のステータスが共にドントケア X でなければ、該ネット以降のバックトレースを停止するナローイングステップを備えたことを特徴とするプログラム。

#### 【0189】

(付記 20)

付記 19 記載のプログラムに於いて、前記自動テストパターン生成ステップは、同一ネットの立上り遅延故障と立下り遅延故障のうちのいずれか一方につき遅延故障の検出に失敗した場合、前記ナローイングステップのバックトレースでマークされてたナローイング範囲のマーク外しを行うことなくそのまま流用して未検出な他方の遅延故障をターゲットとしてテストパターン生成を実行することを特徴とするプログラム。

#### 【0190】

(付記 21)

コンピュータに、  
回路データを読み込む読込ステップと、  
パスカット対策部により、対象回路からパスカット点を選択してステートを固定化するパスカットステップと、  
パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン生成ステップと、  
を実行させ、  
前記自動テストパターン生成ステップは、  
故障仮定点に対応した送り FF 群、受け FF、更に前記送り FF 群の 1 段前の準備 FF 群を含む領域を処理対象回路として特定するナローイングステップと、  
前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステータスを割り当てる故障励起ステップと、  
、

残りの準備 F F と送り F F に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる経路活性化ステップと、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する故障伝搬ステップと、

を実行させ、更に、

前記経路活性化ステップは、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

前記故障伝播ステップは、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させるプログラムを格納したことを特徴とするコンピュータ読取可能な記憶媒体。(9)

#### 【0191】

(付記 22)

回路データを読み込む回路データ読込部と、

対象回路からパスカット点を選択してステートを固定化するパスカット対策部と、

パスカットが済んだ回路を対象に遅延故障を検出するためのテストデータを生成する自動テストパターン処理部と、

を備えた集積回路のテスト装置に於いて、

前記自動テストパターン生成部は、

故障仮定点に対応した送り F F 群、受け F F、更に前記送り F F 群の1段前の準備 F F 群を含む領域を処理対象回路として特定するナローイングステップと、

前記故障仮定点に、立上り故障で 0 から 1、立下り故障で 1 から 0 の反転関係となる送り時刻と受け時刻の故障励起のステートを割り当てる故障励起部と、

残りの準備 F F と送り F F に前記故障の伝播経路を活性化する送り時刻と受け時刻のステートを割り当てる故障伝播ステート設定部と、

システムクロックを前記送り F F に送りクロックとして供給して送り F F からネ



ットに変化を与えて伝播させると共に、システムクロックを前記受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する自動テストパターン生成制御部と、

を実行させ、更に、

前記故障伝播ステート設定部は、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、

前記自動テストパターン生成制御部は、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させることを特徴とする集積回路のテスト装置。(10)

#### 【0192】

##### 【発明の効果】

以上説明してきたように本発明によれば、動的機能テストのための故障の伝播経路を活性化させるステートとして、送り時刻でのドントケア X の割り当てを許容し、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させるようにしたため、故障励起を行うステートの割り当てによって活性化条件を与えるネットに不可避な変化が伝播する場合であっても、自動テストパターン生成処理が可能となり、故障検出率を大幅に向上することができる。

#### 【0193】

また、活性化条件に送り時刻のドントケア X から受け時刻の非制御値の変化を認めることにより、送り時刻でのステートの割り当て数が減少し、割り当てステートが減少することで、矛盾が発生する可能性が低減し、結果として生成するテストパターン数の縮小を図って処理を高速化することができる。

#### 【0194】

また、クロックオフが割り当てられた送り F F の受け時刻の故障値にアンコントロール u を含意することで、故障観測において故障励起の割り当てそれ自体が故障不可能と判定され、これにより無駄なターゲットが削減されて自動テストパターン生成の高速化を図ることができる。

## 【0195】

また、ある故障に対する自動テストパターン生成が失敗した場合、失敗した故障と反転関係が等しく且つ故障値がゲートの制御値と等しい条件を満たす故障を検出不能故障として判定してターゲットから除外することで、自動テストパターン生成を高速化することができる。

## 【0196】

また、動的機能テストのパスカット点に割り当てる不変ステートとして、送り時刻から受け時刻のステートとして0から0または1から1のいずれかを設定し、このうち故障検出不能数を極小化する不変ステートを選択することで、ループ回路以外の1サイクルでの転送を完了しないn<sub>τ</sub>パスのパスカットを確実に行うと共に、不変ステートの設定による故障検出率の低下を防止する。

## 【0197】

更に、パスカット点をドライブするゲートの入力の数個ゲートにおけるゲート制御値の設定が、受け時刻で別の入力ゲートの制御値に乗り換えている場合、更に1つの入力ピンに対し送り時刻で制御値を追加して割り当てることにより、パスカット点に対しハザードが伝播しないハザードフリーな不変ステートを生成することができる。

## 【0198】

また、故障励起の前処理として行うナローイングにおいて、バックトレースによりドントケアXでないネットでバックトレースを停止することで、ナローイングのためのマーク処理を削減し、結果として自動テストパターン生成の高速化を図ることができる。

## 【0199】

更に、立ち上がり遅延故障と立ち下がり遅延故障のペア故障について、一方の遅延故障の自動テストパターン生成に失敗した場合、ナローイング範囲のアンマークを行わずに、ペア故障のうちに残っている未検出の遅延故障にナローイング範囲を流用することで、ペア故障に対しては1回のナローイング処理で済むようにして、処理量を半減させることができる。

**【図面の簡単な説明】****【図 1】**

本発明の原理説明図

**【図 2】**

本発明による集積回路テスト装置の機能構成のブロック図

**【図 3】**

図 2 の装置が実現されるコンピュータのハードウェア環境の説明図

**【図 4】**

本発明による集積回路テスト処理のフローチャート

**【図 5】**

図 2 の自動テストパターン生成部のブロック図

**【図 6】**

図 5 の自動テストパターン生成処理のフローチャート

**【図 7】**

図 6 の自動テストパターン生成コア部のブロック図

**【図 8】**

図 7 の自動テストパターン生成コア処理のフローチャート

**【図 9】**

ドントケア X による活性化を許容する本発明による動的機能テストの説明図

**【図 1 0】**

本発明の動的機能テストにおける立上り故障の故障励起状態の説明図

**【図 1 1】**

本発明の動的機能テストにおける下り故障の故障励起状態の説明図

**【図 1 2】**

本発明で割り当てられる活性化状態の説明図

**【図 1 3】**

本発明のドントケア X を許容した活性化による故障伝播の説明図

**【図 1 4】**

本発明のドントケア X を許容した活性化によりテストパターン生成が可能となる

## 故障伝播経路の説明図

### 【図 15】

本発明によりドントケア X から非制御値 1 への変化による活性化条件を認めた場合の故障伝播とテスト成功後の活性化条件を与えた経路を故障伝播経路する処理の説明図

### 【図 16】

図 8 のステップ S 3 による故障励起の具体例な説明図

### 【図 17】

図 8 のステップ S 4 による含意操作の具体例な説明図

### 【図 18】

図 8 のステップ S 7 による条件解決ステートの設定を経てステップ S 4 の含意操作をした場合の具体例な説明図

### 【図 19】

図 8 のステップ S 10 による故障伝播ステート設定を経てステップ S 4 の含意操作をした場合の具体例な説明図

### 【図 20】

図 8 において故障伝播が観測可能となってテストパターン生成に成功した場合の具体例な説明図

### 【図 21】

図 6 のステップ S 4 の 2nd 故障選択に移行する際のドントケア X の制御値 0 へのステート再設定の説明図

### 【図 22】

送り FF のクロックオフにおける故障励起不可能の判定処理の説明図

### 【図 23】

自動テストパターン生成に失敗した故障に基づく故障不可能の判定処理の説明図

### 【図 24】

図 23 における判定条件の説明図

### 【図 25】

AND ゲートを例に取った立上り故障に対し自動テストパターン生成が失敗する

場合の説明図

【図 26】

図 2 のパスカット対策部のブロック図

【図 27】

$n$  階パスを対象とした本発明によるパスカット対策の説明図

【図 28】

本発明による 2 つのパスカット対策の説明図

【図 29】

パスカット点に設定する不変ステート 1 から 1 と 0 からの選択に使用する離散空間での検出不可能故障数を高さとする超平面の説明図

【図 30】

図 28 によるパスカット対策処理のフローチャート

【図 31】

パスカット点での不変ステートの割り当て成功で行うハザードフリー化の説明図

【図 32】

本発明におけるナローイングのトレース停止処理の説明図

【図 33】

ナローイングのトレース停止条件の説明図

【図 34】

ペア故障ターゲットにつきナローイングを流用する自動テストパターン生成処理のフローチャート

【符号の説明】

- 10：全体制御部
- 12：回路データ読込部
- 14：パスカット対策部
- 16：自動テストパターン生成部（ATPG部）
- 18：故障シミュレーション部
- 20：回路データ書出部

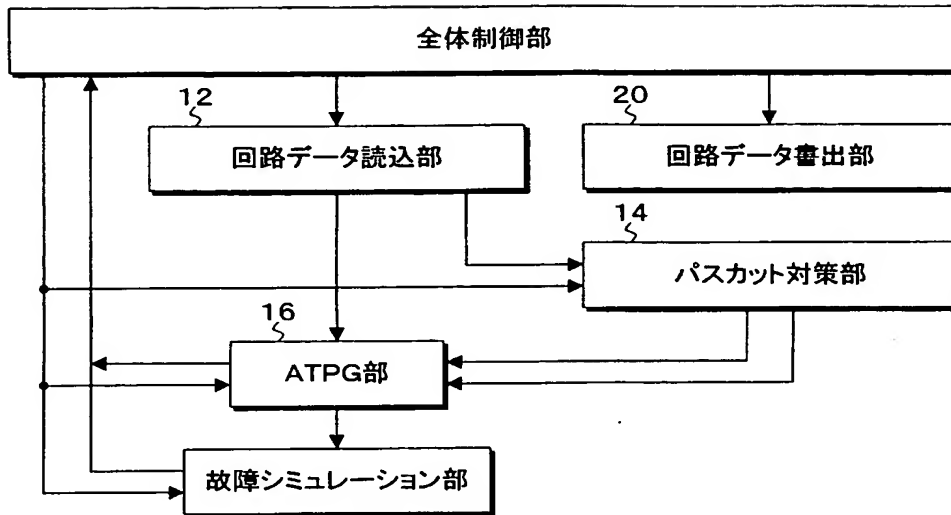
21: 自動テストパターン生成全体制御部 (ATGP 全体制御部)  
22: 1st/2nd 故障選択部  
24: 自動テストパターン生成コア部 (ATGP コア部)  
26: ATPG コア全体制御部  
28: ナローイングマーク処理部  
30: 故障励起部  
32: 含意操作部  
34: 条件解決ステート設定部  
36: 故障伝播ステート設定部  
40, 42: 準備 FF  
44, 46, 76, 78, 84, 86, 88: ゲート  
48, 50, 90, 92, 94, 108, 110: 送り FF  
52: NAND ゲート  
54, 100: 受け FF  
56, 62, 70, 80, 101, 180, 196, 208, 212: 故障仮定  
点  
58: 故障伝播  
60, 64, 66, 96, 98: AND ゲート  
102, 106, 182: 故障励起ステート  
218: パスカット対策全体制御部  
220: パスカット点選択部  
222: 不変ステート設定 ATPG 部  
224: 検出不可能故障数測定部  
226: n $\tau$  パス  
228: 1 $\tau$  パス

【書類名】 図面

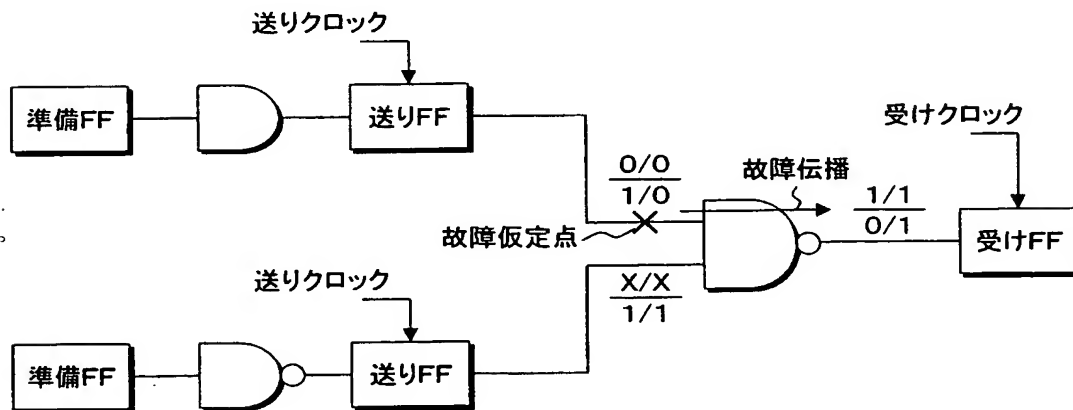
【図 1】

本発明の原理説明図

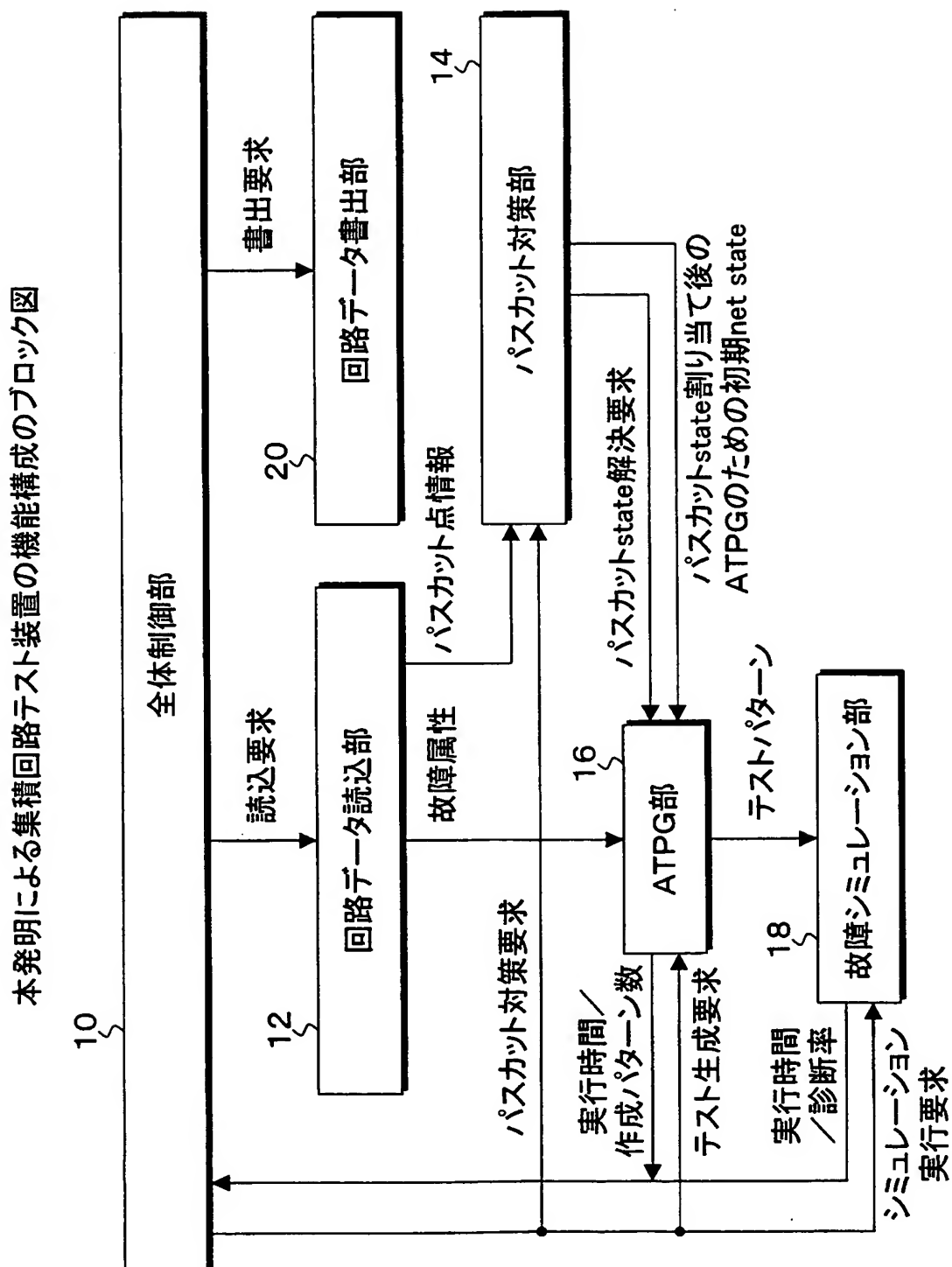
(A)



(B)



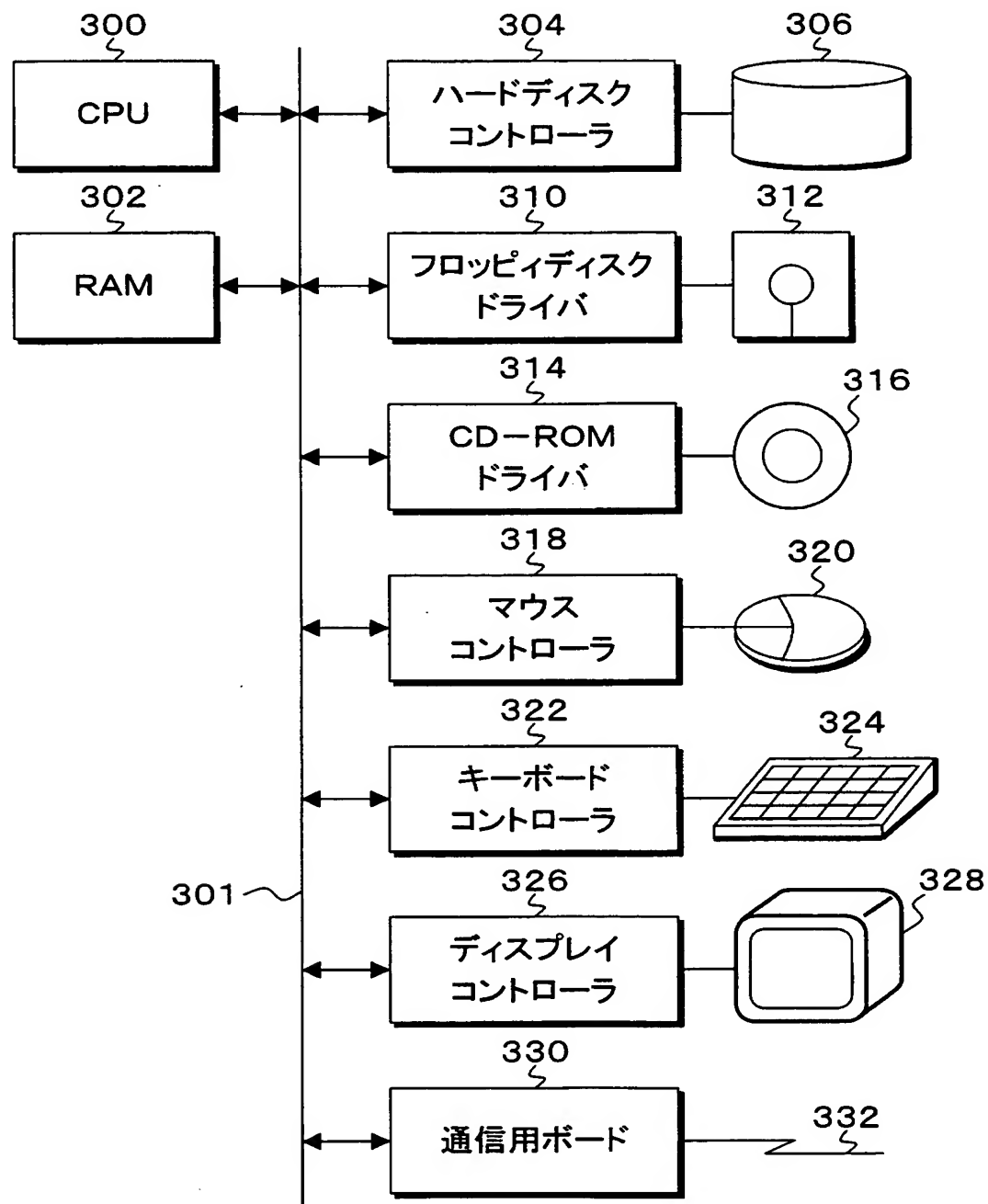
【圖 2】





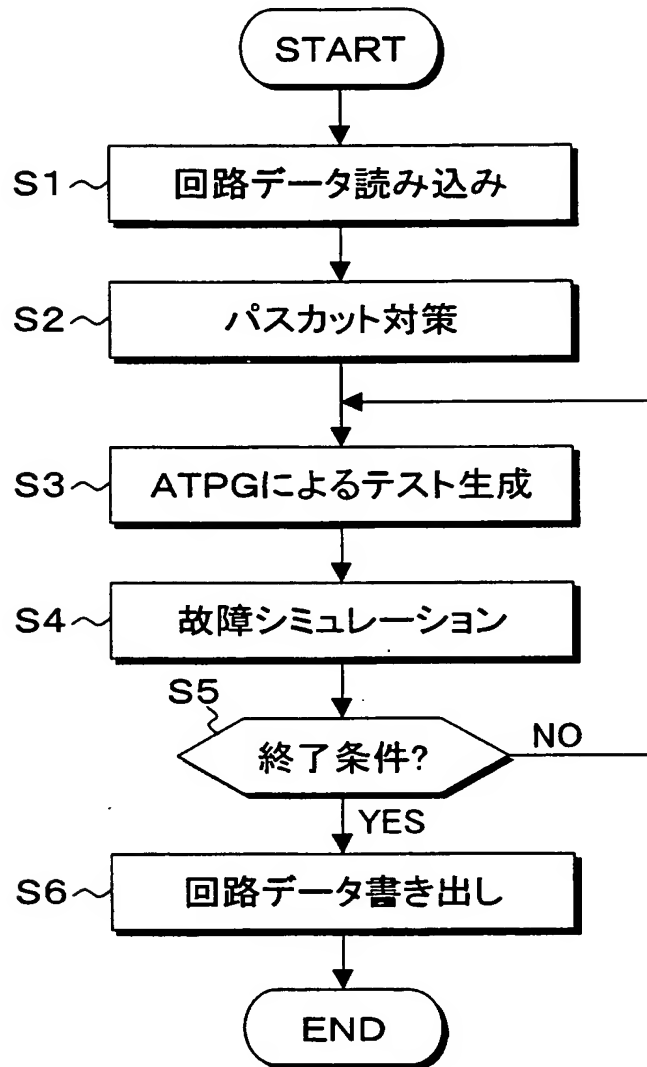
【図 3】

図2の装置が実現されるコンピュータのハードウェア環境の説明図



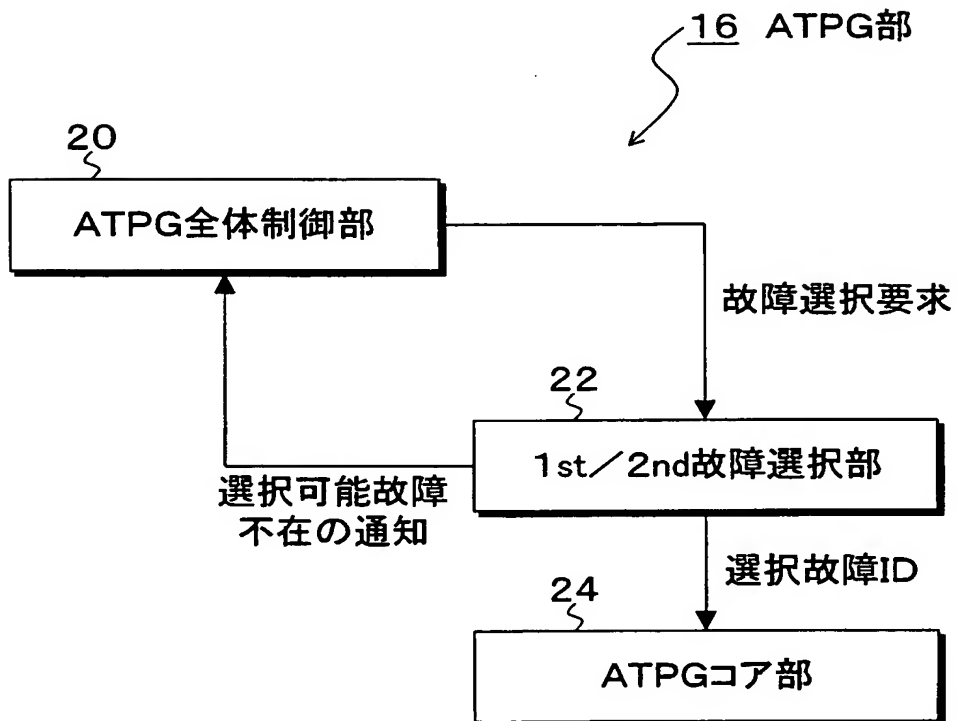
【図 4】

本発明による集積回路テスト処理のフローチャート



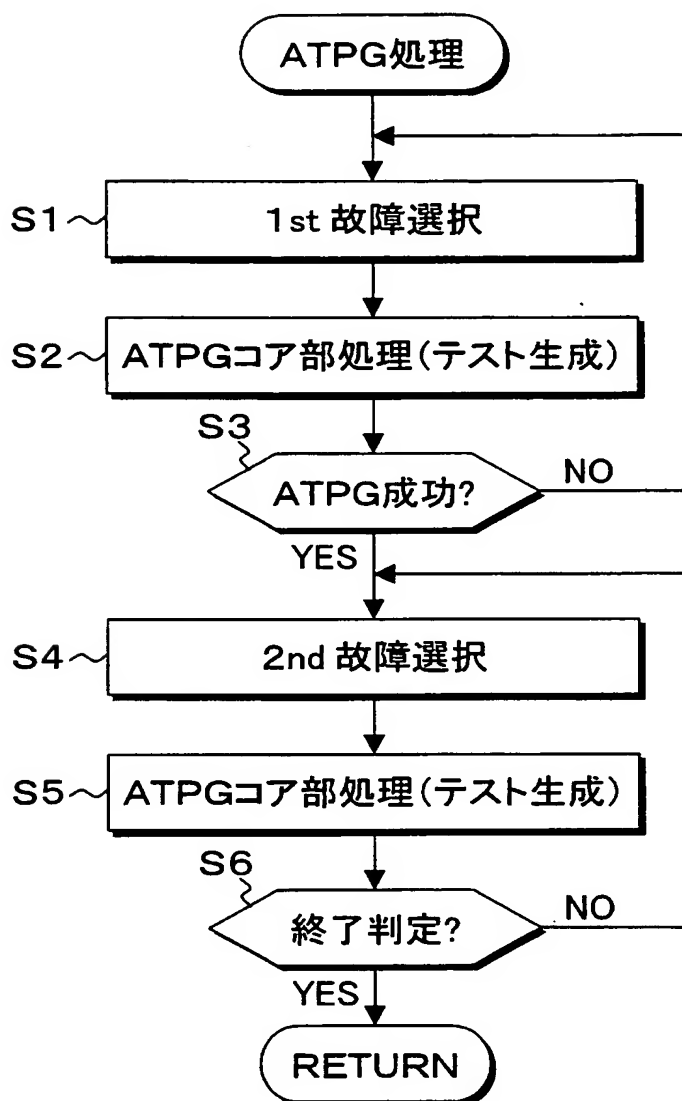
【図 5】

図2の自動テストパターン生成部のブロック図



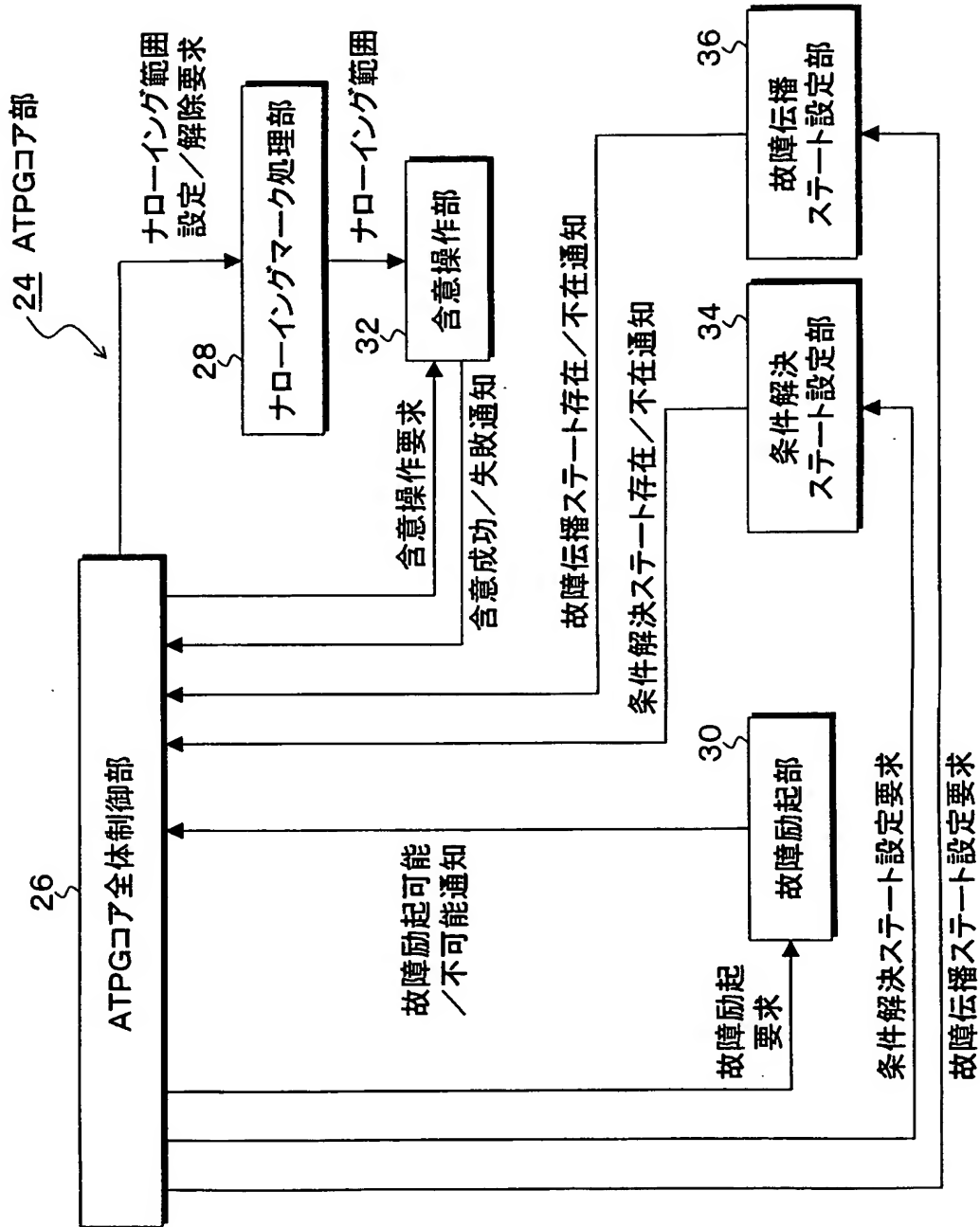
【図 6】

図5の自動テストパターン生成処理のフローチャート



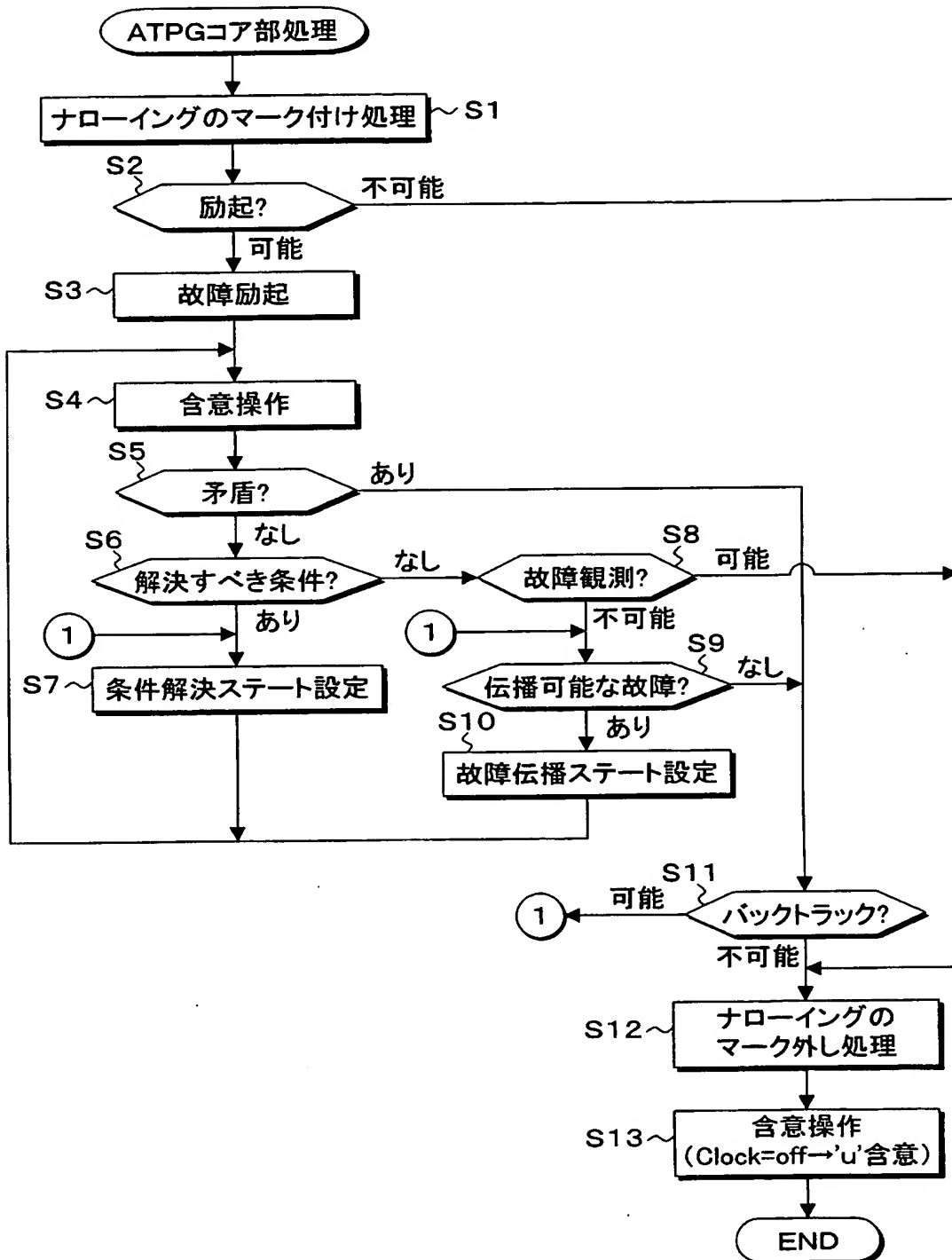
【図 7】

図6の自動テストパターン生成コア部のブロック図



【図 8】

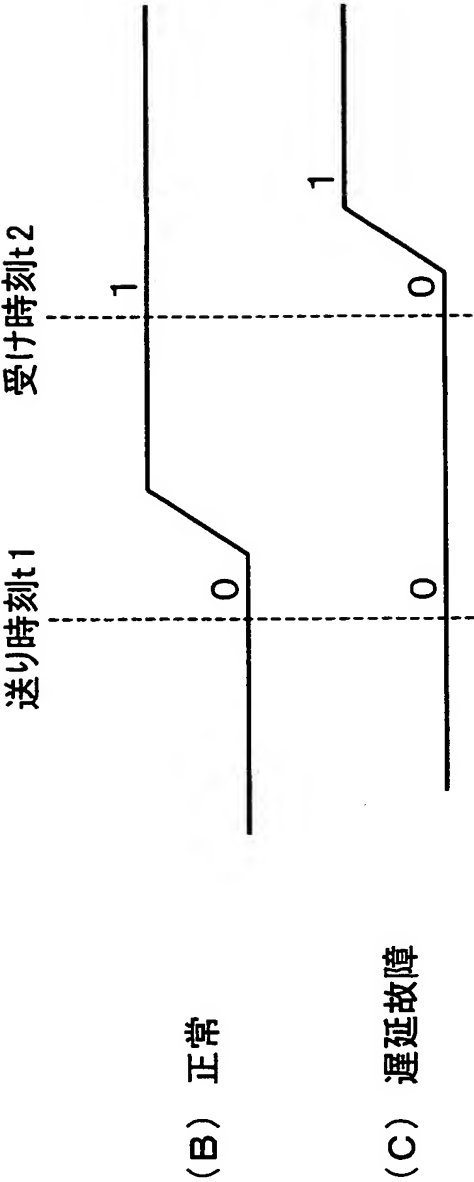
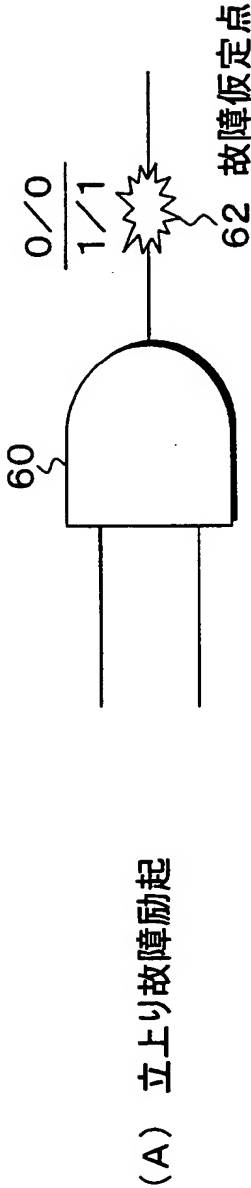
図7の自動テストパターン生成コア処理のフローチャート





【図 10】

本発明の動的機能テストにおける立上り故障の故障励起ステートの説明図



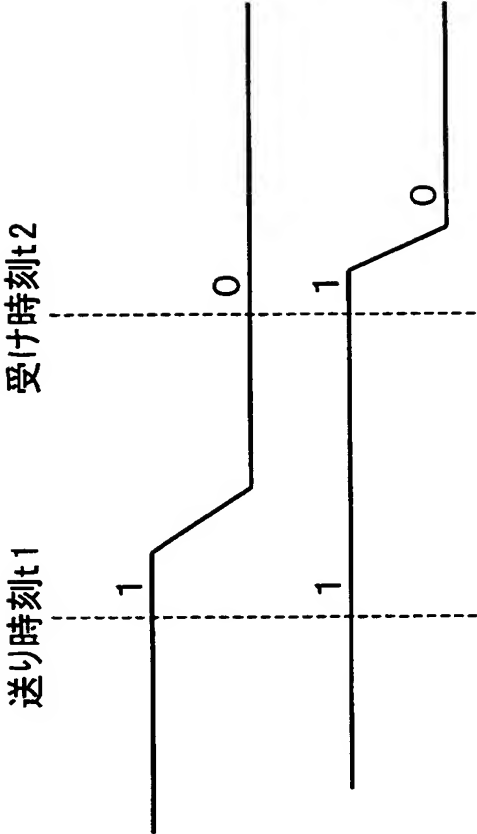
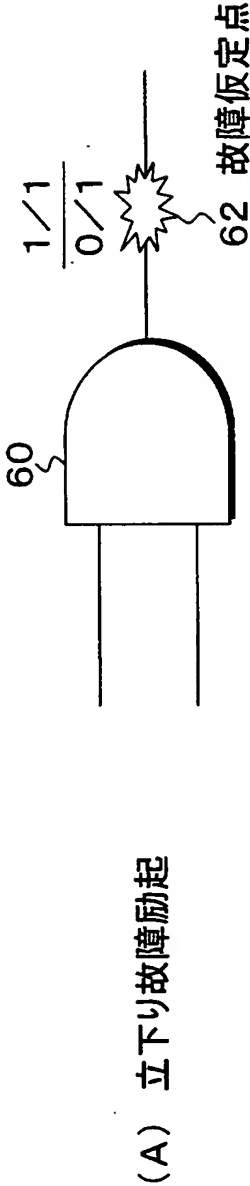
(D) 表記

$$\frac{\text{送り時刻正常値} / \text{送り時刻故障値}}{\text{受け時刻正常値} / \text{受け時刻故障値}} = \frac{0/0}{1/0}$$



【図 1 1】

本発明の動的機能テストにおける立下り故障の故障励起状態の説明図



(B) 正常

(C) 遅延故障

(D) 表記

$$\frac{\text{送り時刻正常値} / \text{送り時刻故障値}}{\text{受け時刻正常値} / \text{受け時刻故障値}} = \frac{1/1}{0/1}$$

【図 12】

本発明で割り当てられる活性化ステートの説明図

$$(A) \quad \frac{0/0}{0/0}$$

$$(B) \quad \frac{1/1}{1/1}$$

$$(C) \quad \frac{X/X}{0/0}$$

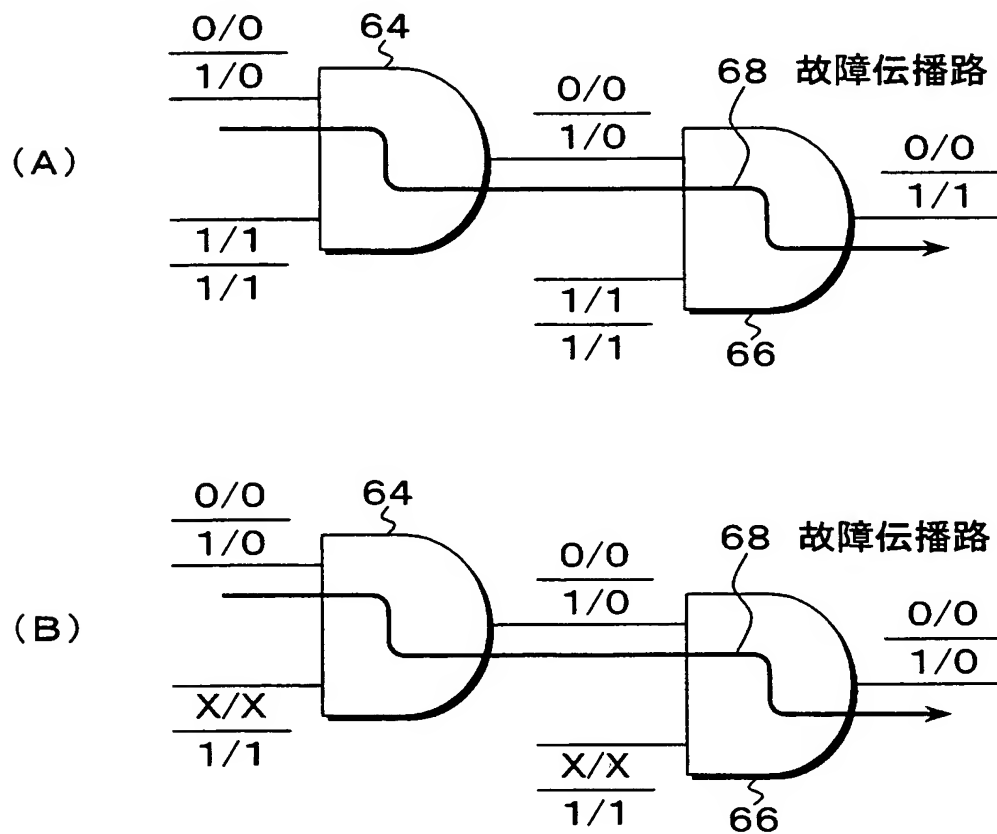
$$(D) \quad \frac{X/X}{1/1}$$

$$(E) \quad \frac{1/1}{0/0}$$

$$(F) \quad \frac{0/0}{1/1}$$

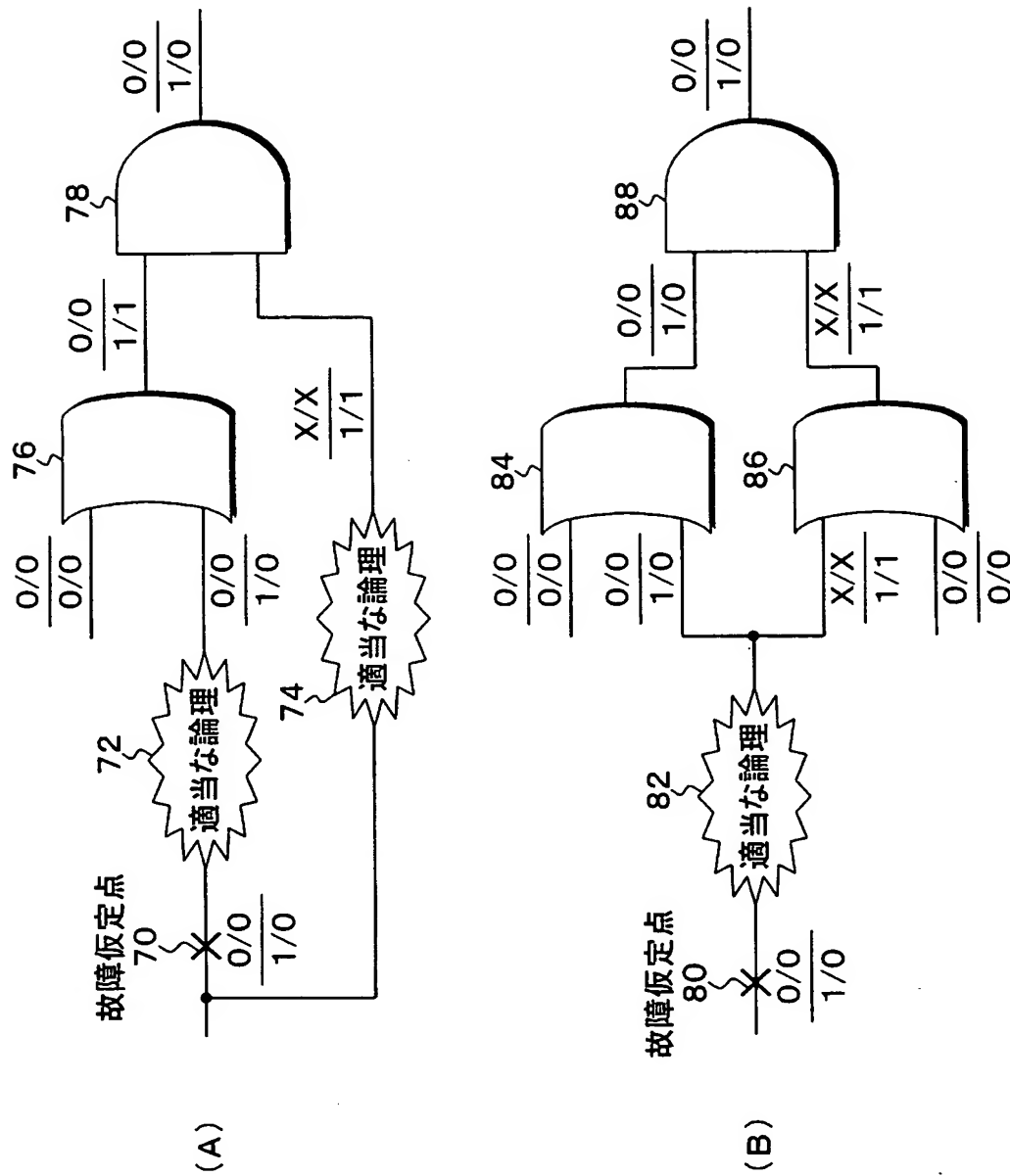
【図 13】

本発明のドントケアXを許容した活性化による故障伝播の説明図



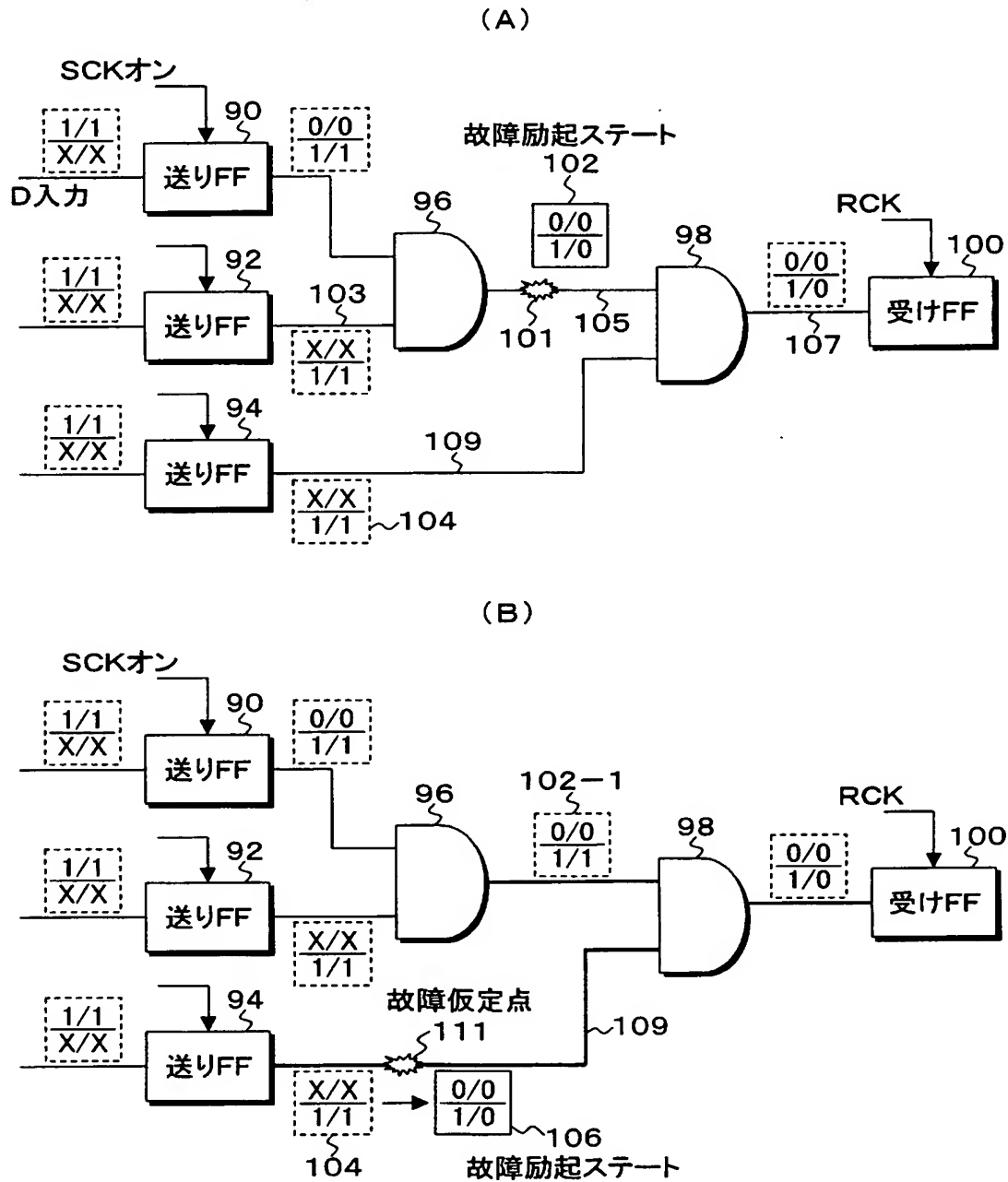
【図 14】

本発明のドントケアXを許容した活性化によりテストパターン生成が可能となる故障伝播経路の説明図



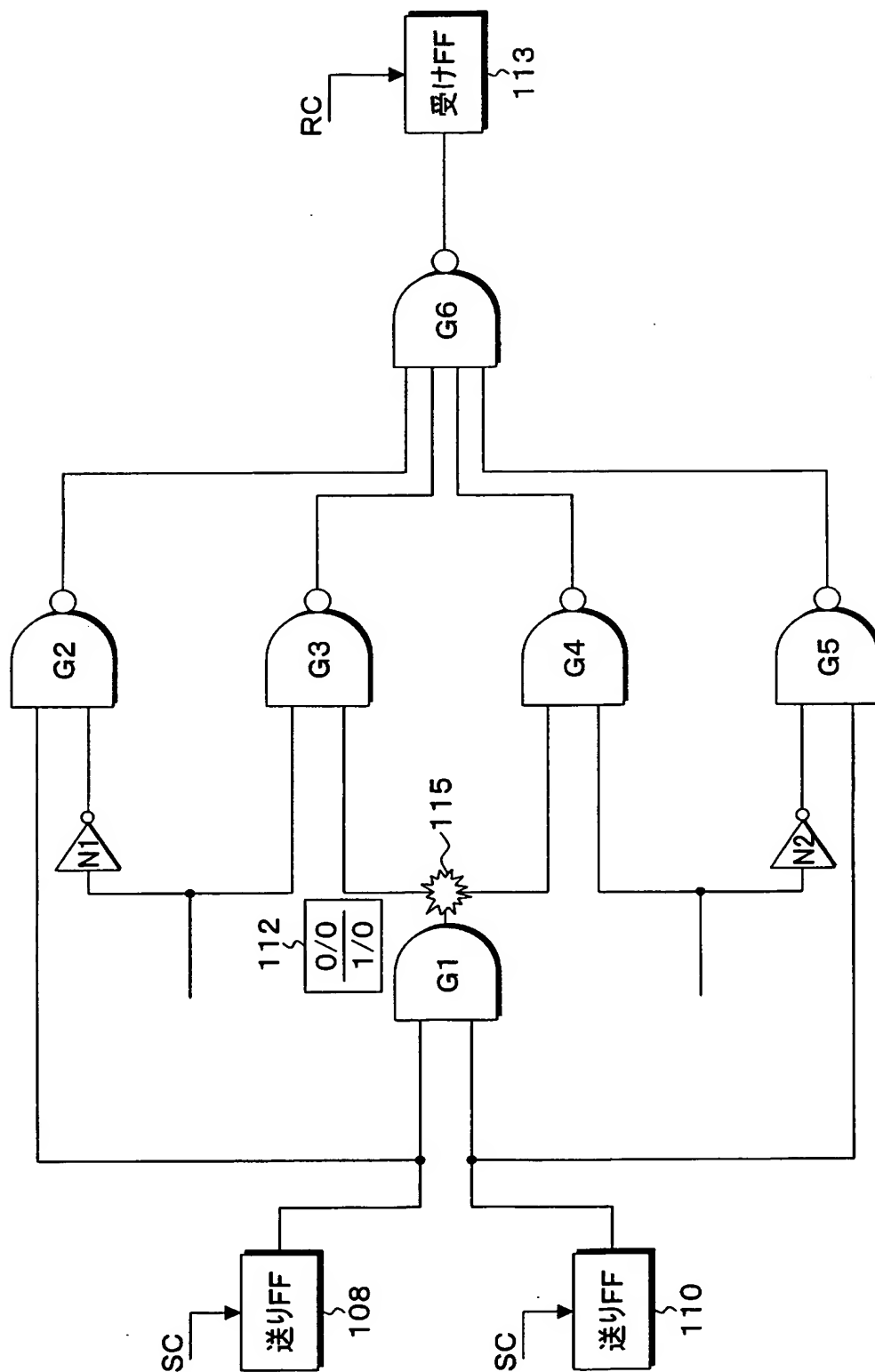
【図 15】

本発明によりドントケアXから非制御値1への変化による活性化条件を認めた場合の故障伝播とテスト成功後の活性化条件を与えた経路を故障伝播経路する処理の説明図



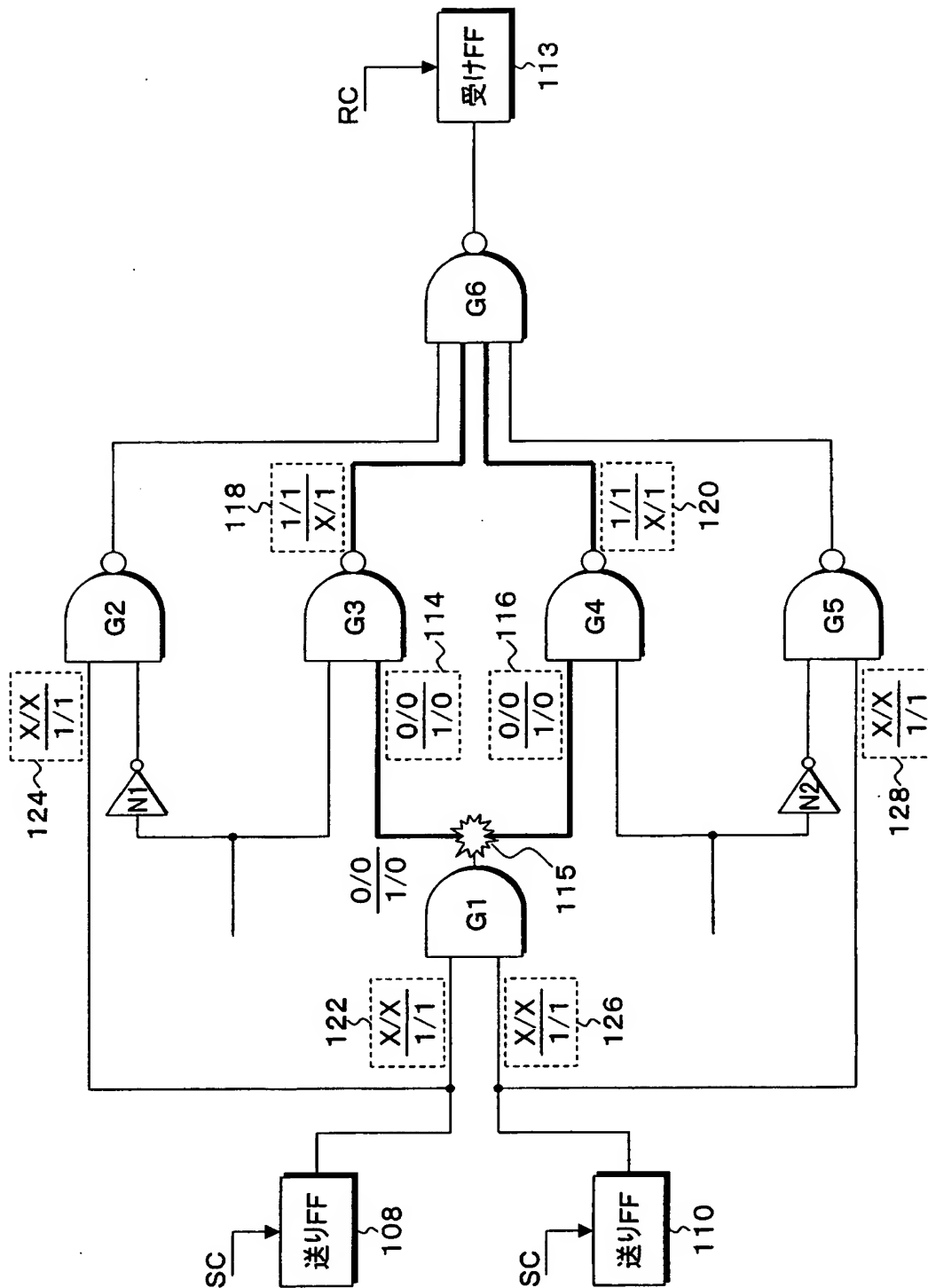
【図 16】

図8のステップS3による故障励起の具体的な説明図



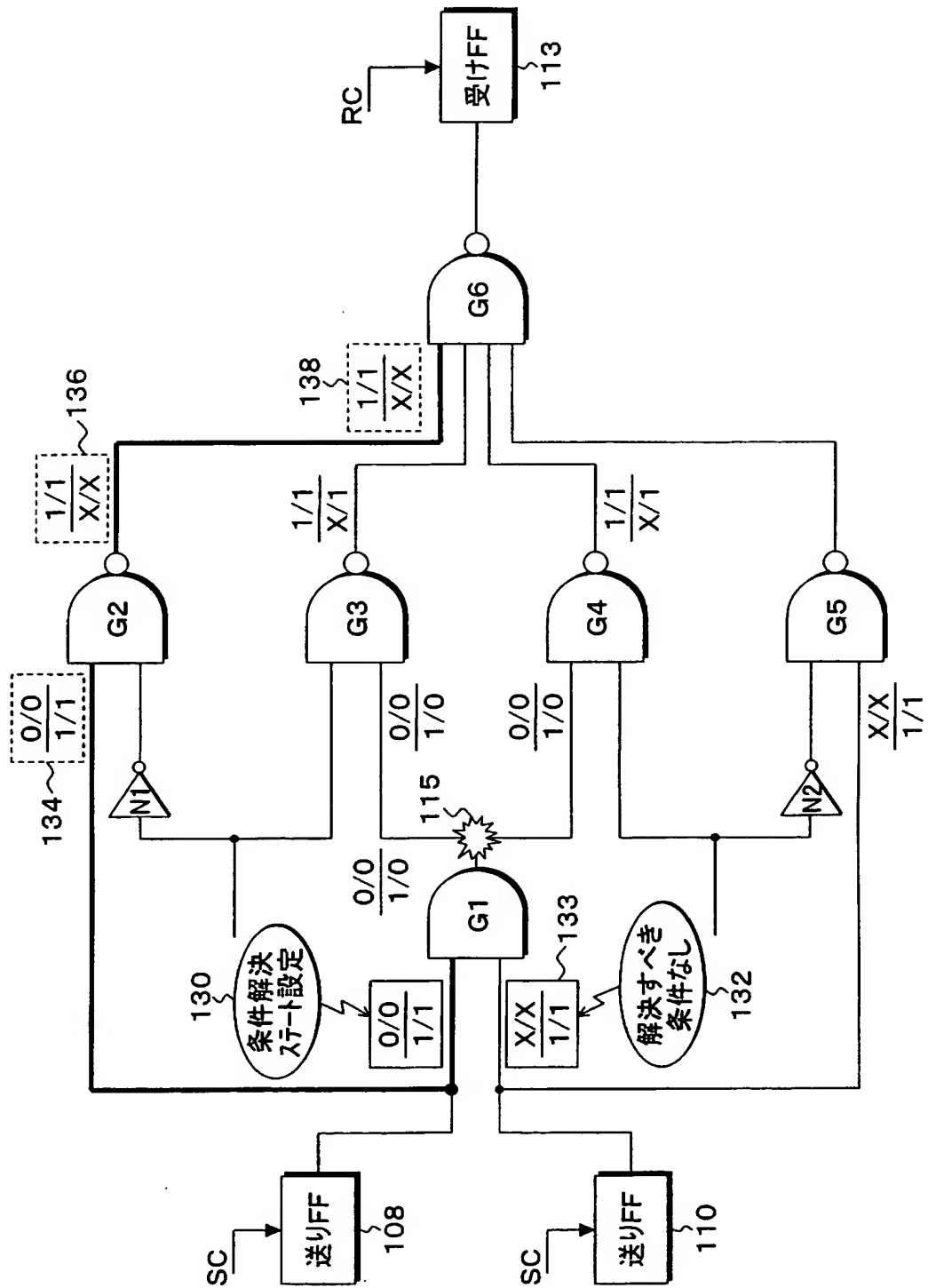
【図 17】

図8のステップS4による含意操作の具体的な説明図



【図 18】

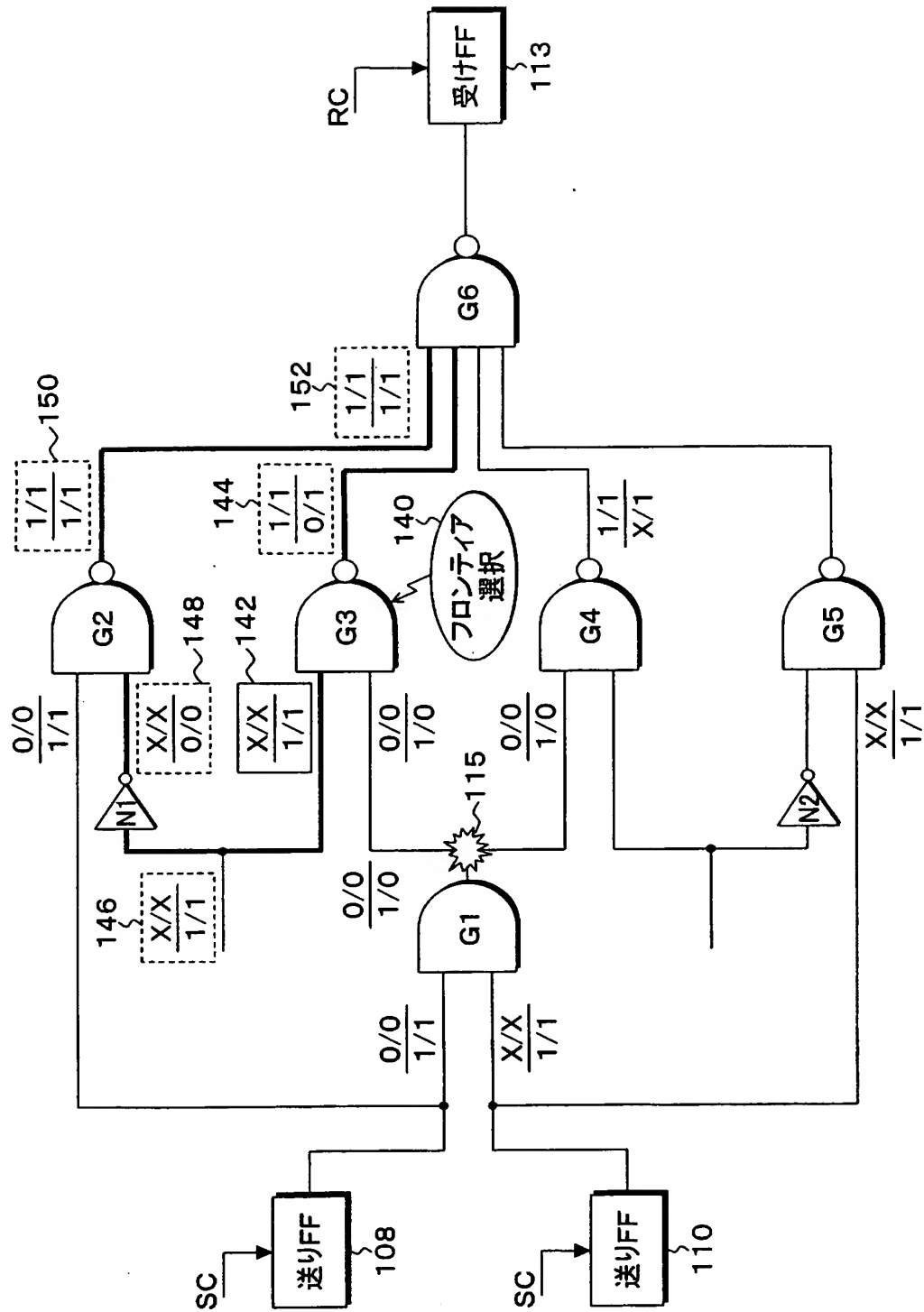
図8のステップS7による条件解決ステートの設定を経てステップS4の含意操作をした場合の具体的な説明図





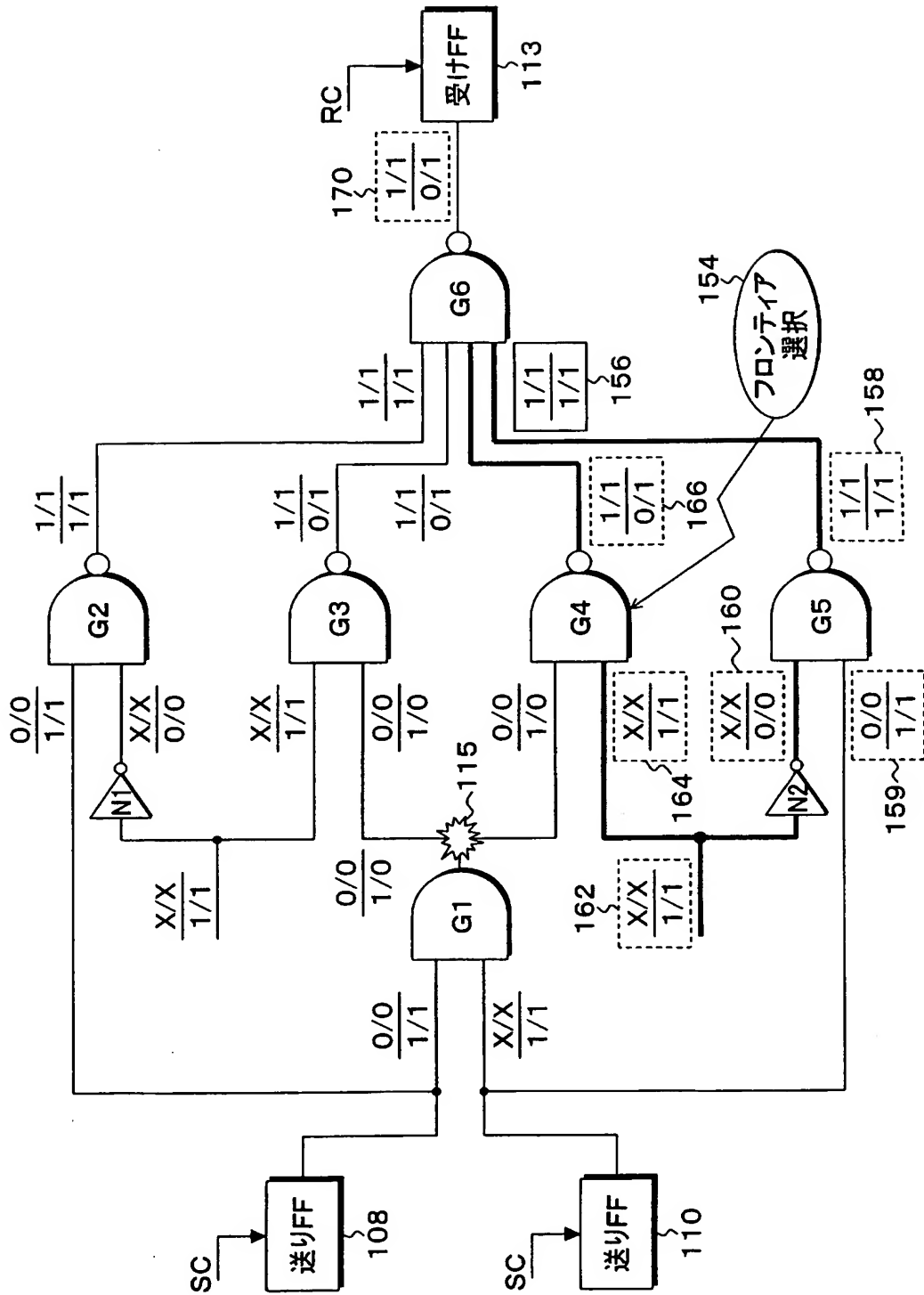
【図 19】

図8のステップS10による故障伝播シート設定を経てステップS4の含意操作をした場合の具体的な説明図



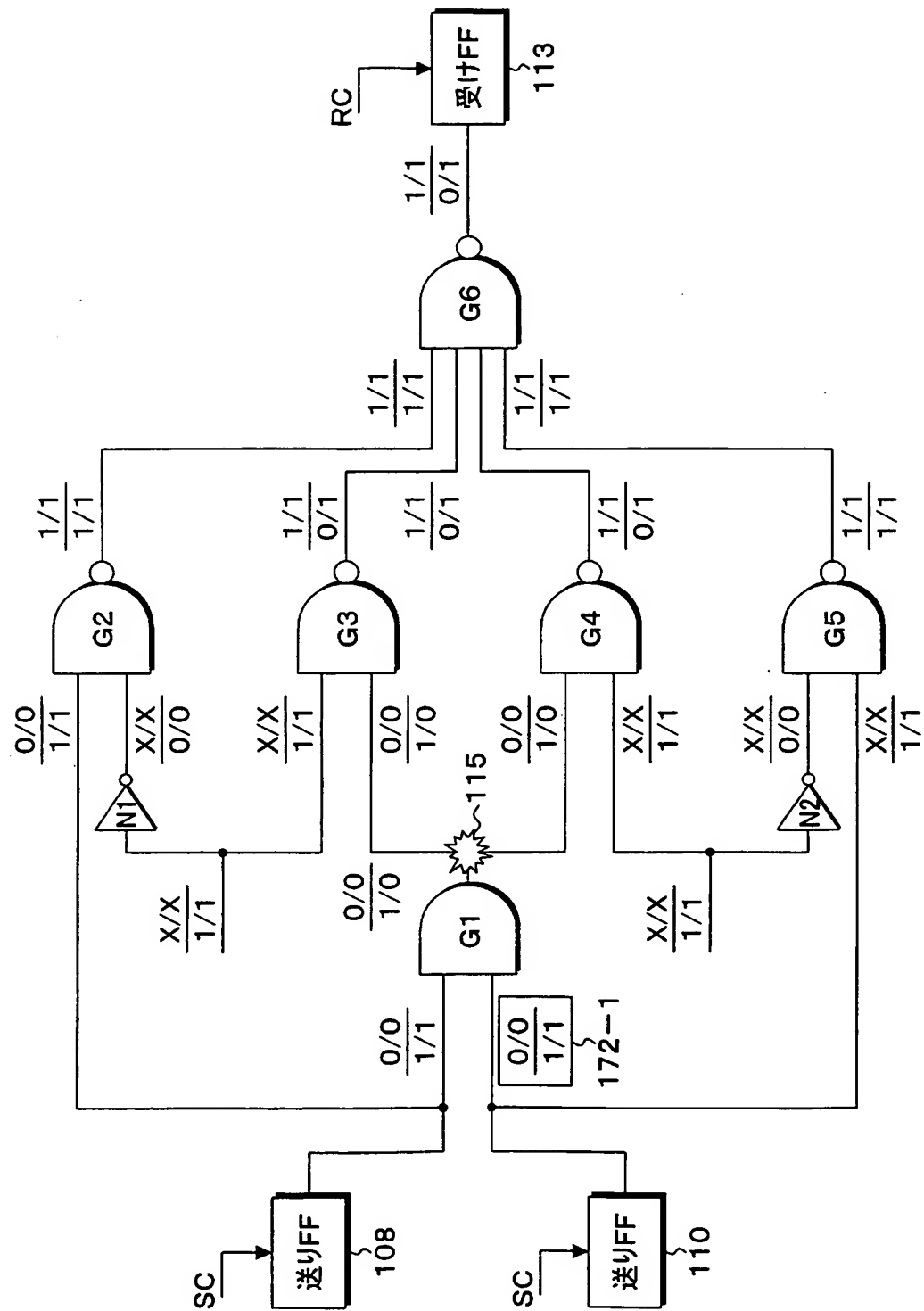
【図 20】

図8において故障伝播が観測可能となってテストパターン生成に成功した場合の具体的な説明図



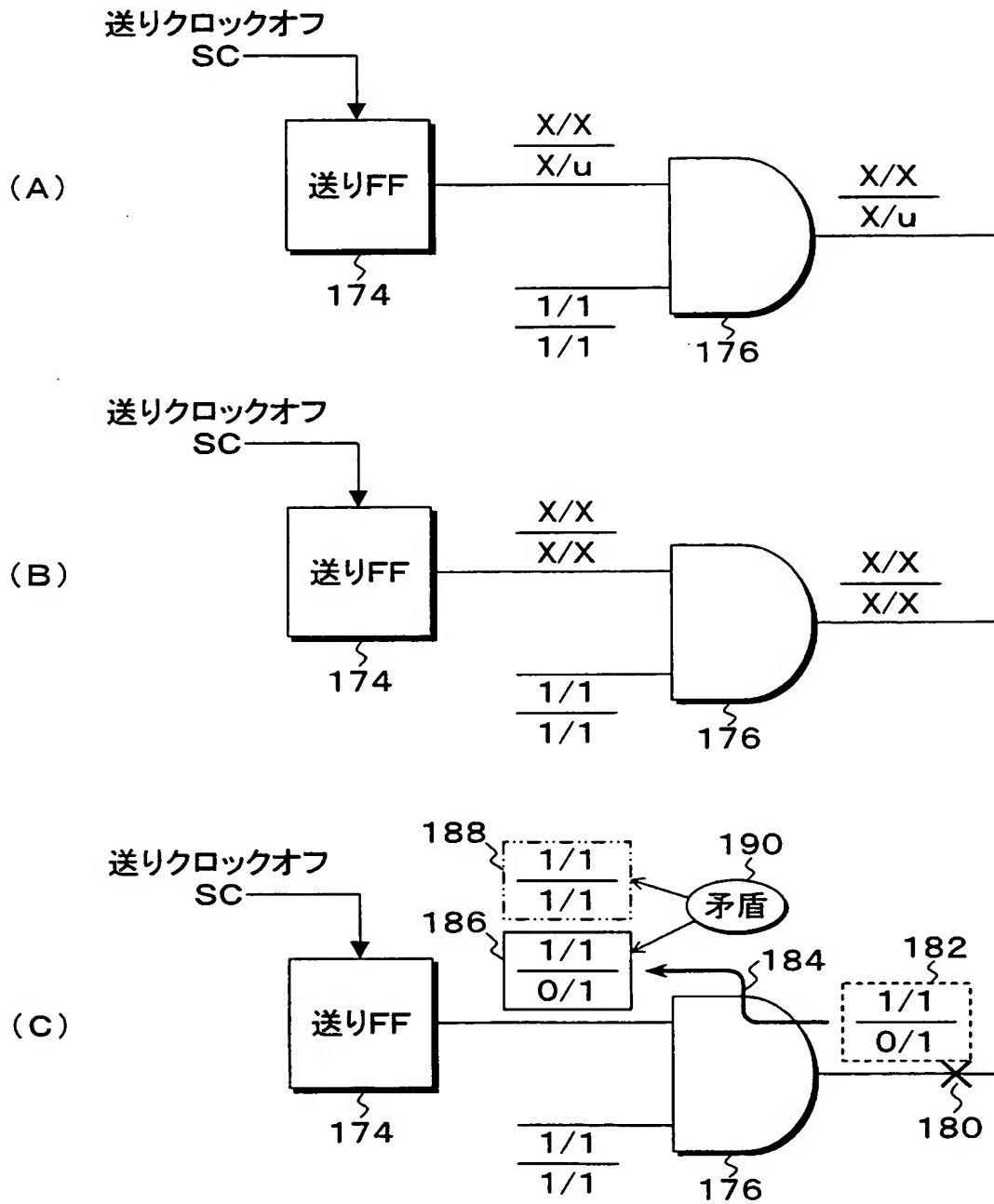
【図 21】

図6のステップS4の2nd故障選択に移行する際のドントケアXの制御値0へのスタート再設定の説明図



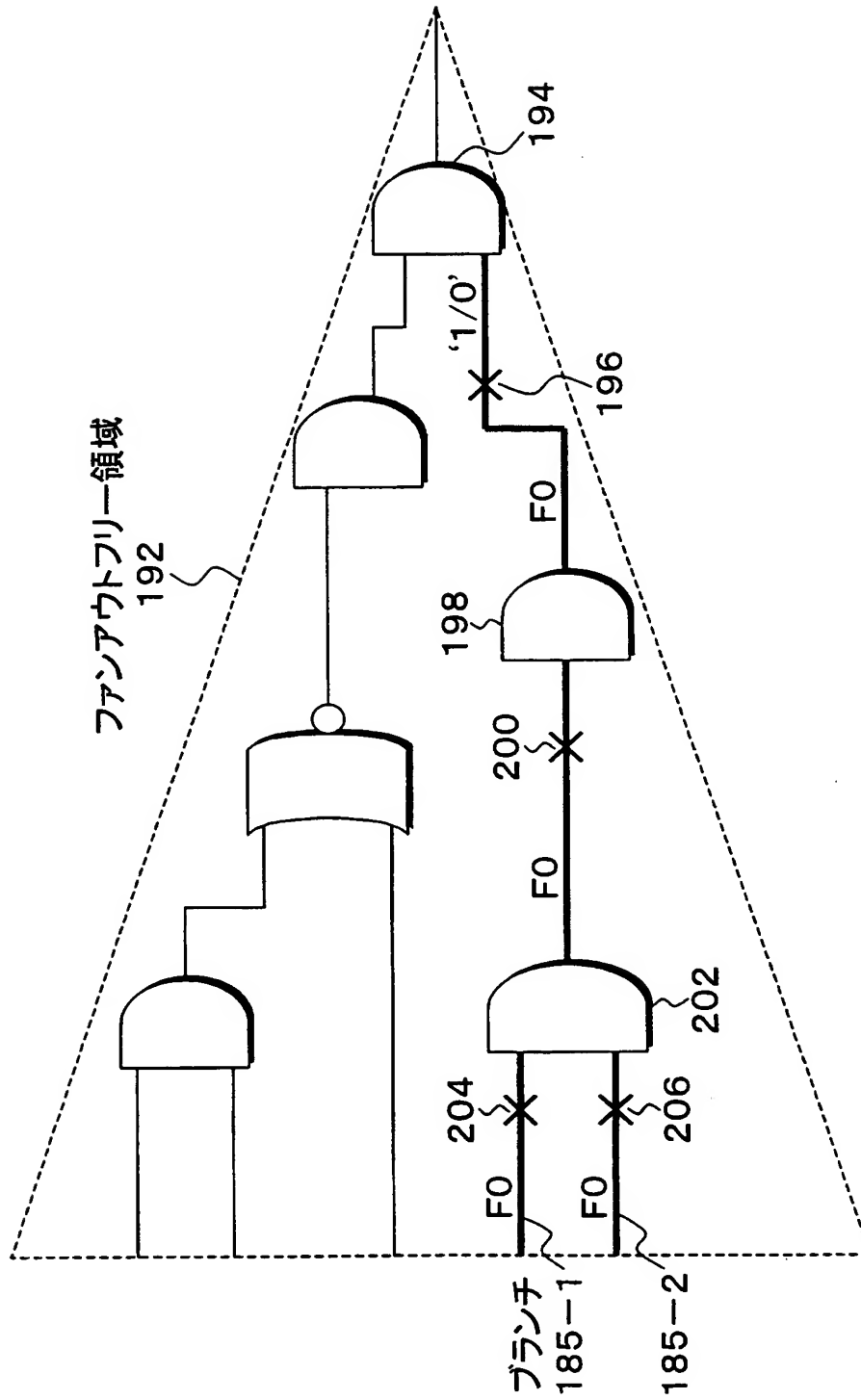
【図 22】

送りFFのクロックオフにおける故障励起不可能の判定処理の説明図



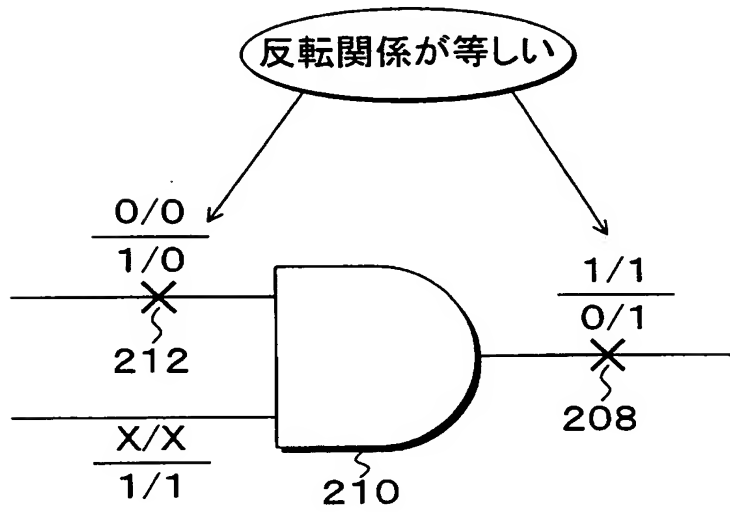
【図 23】

自動テストパターン生成に失敗した故障に基づく故障不可能の判定処理の説明図



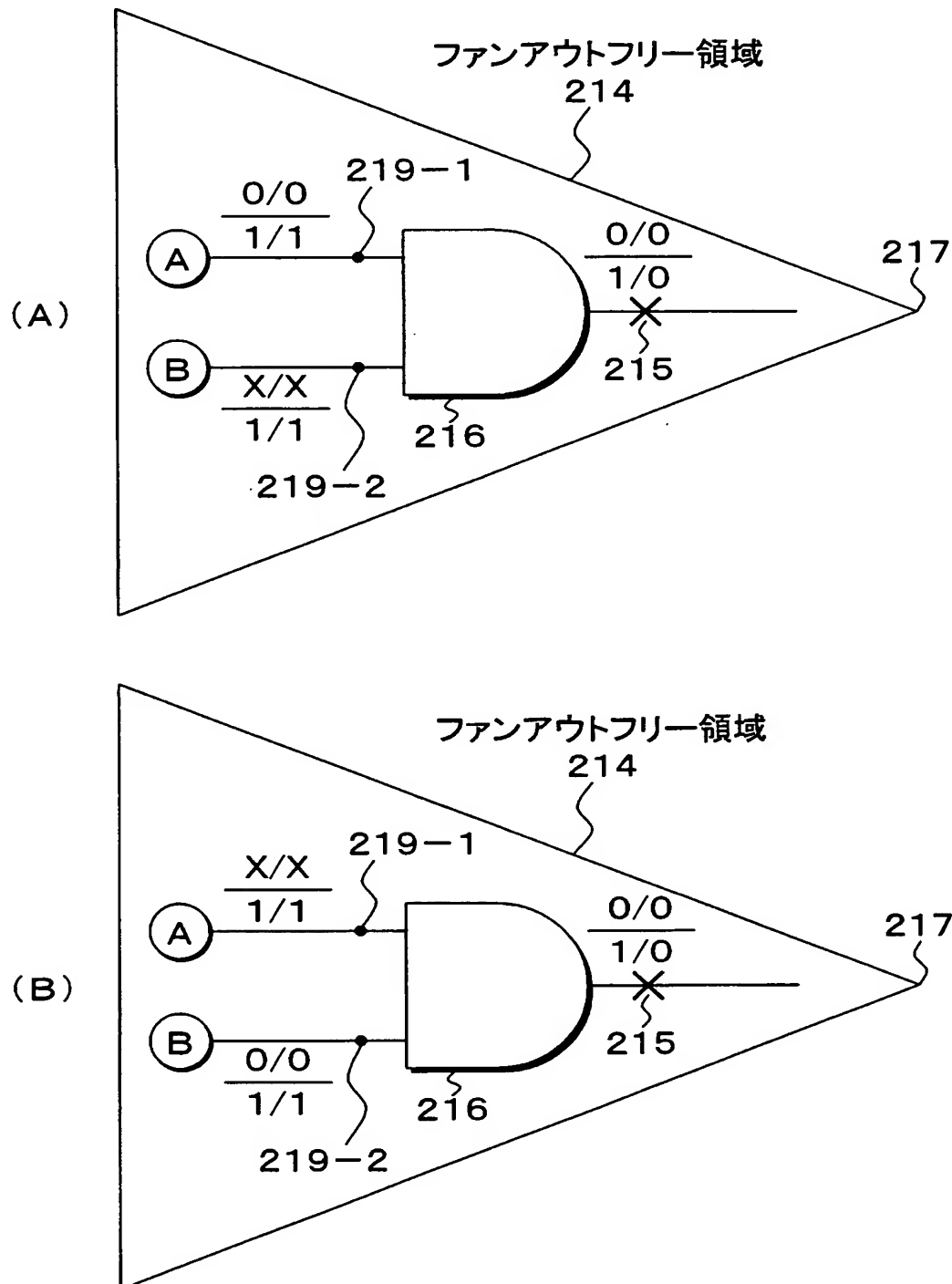
【図 24】

図23における判定条件の説明図



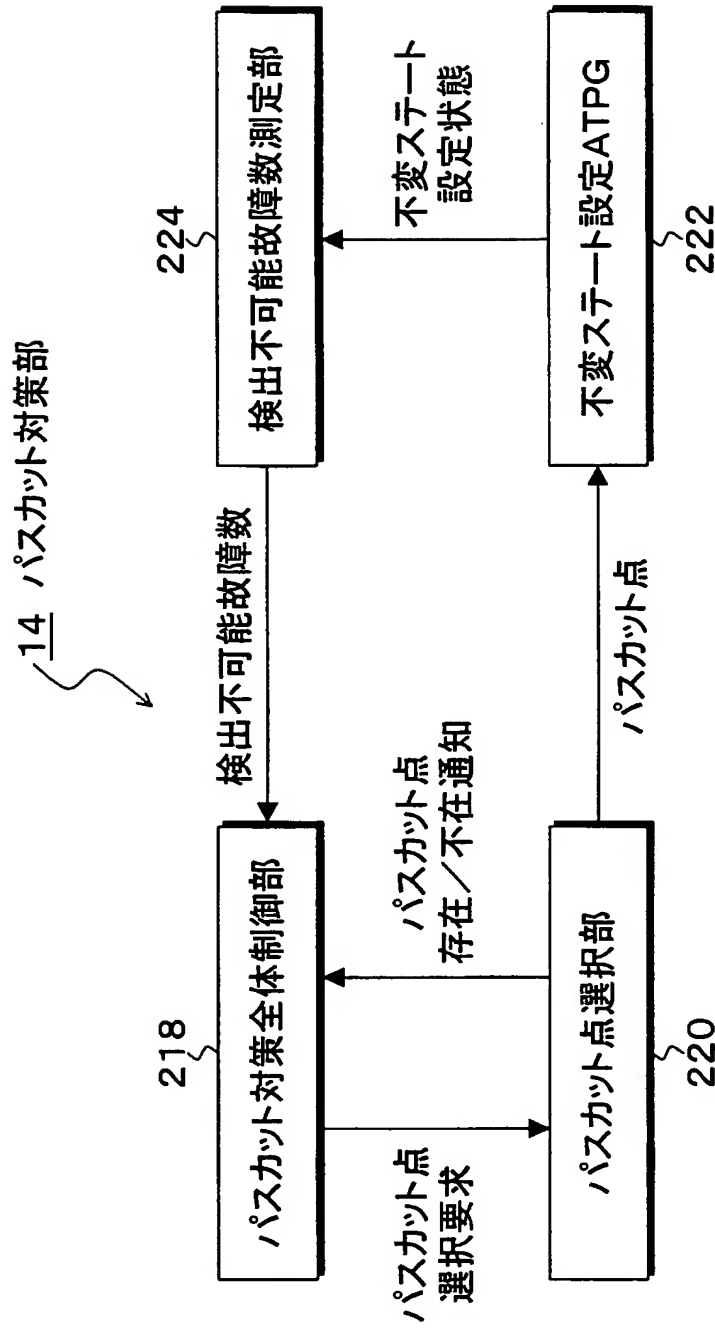
【図 25】

ANDゲートを例に取った立上り故障に対し自動テストパターン生成が失敗する場合の説明図



【図 26】

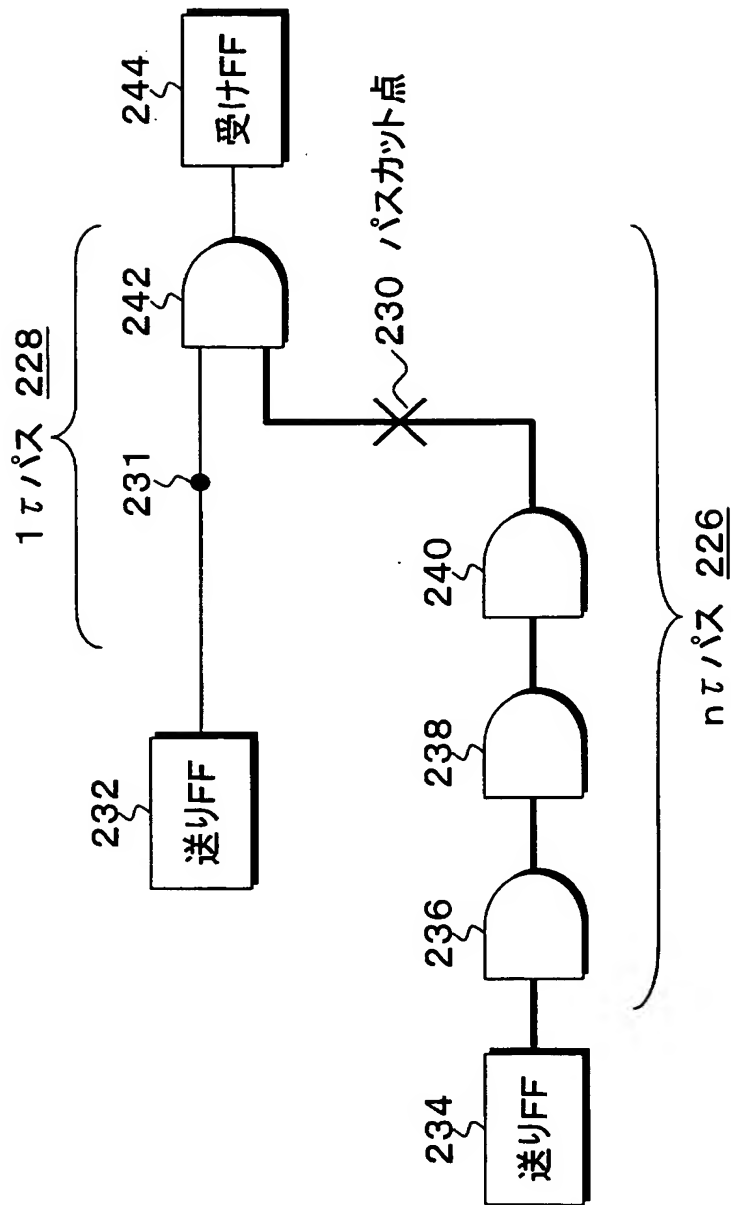
図2のパスカット対策部のブロック図





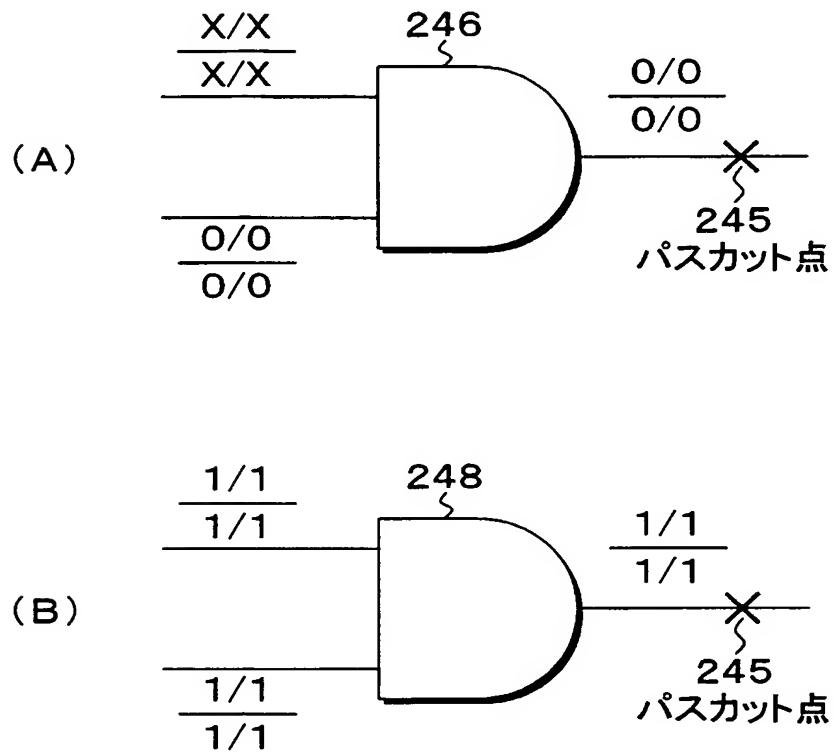
【図 27】

$n\tau$  パスを対象とした本発明によるパスカット対策の説明図



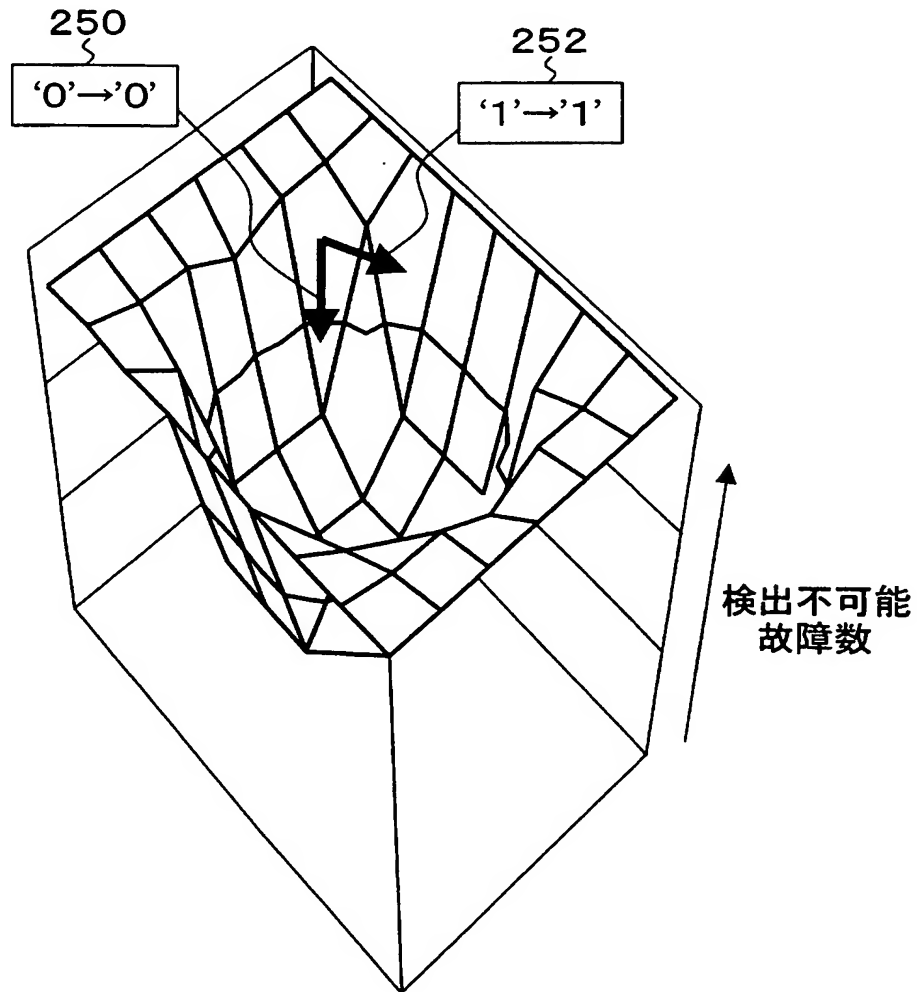
【図 28】

## 本発明による2つのパスカット対策の説明図



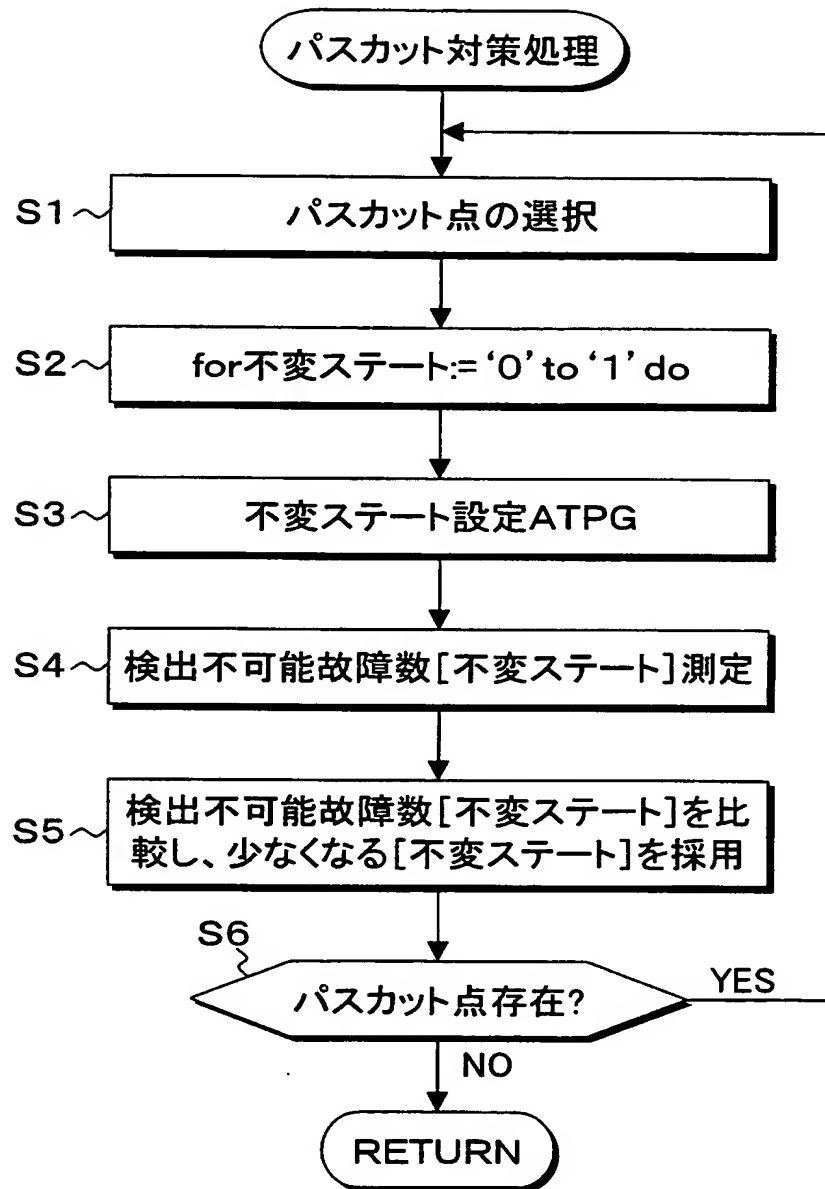
【図 29】

パスカット点に設定する不変状態1から1と0からの選択に使用する  
離散空間での検出不可能故障数を高さとする超平面の説明図



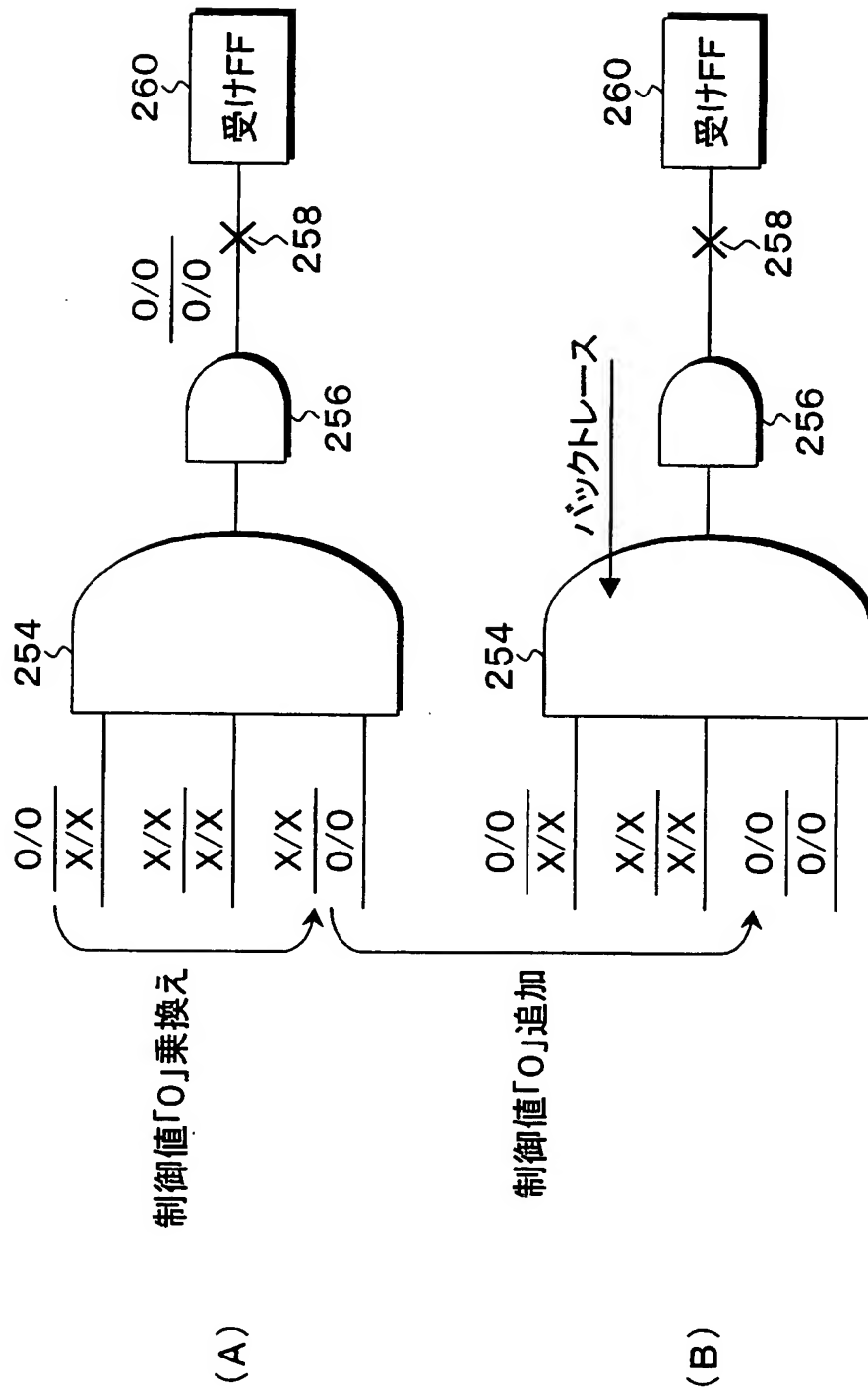
【図 30】

図28によるパスカット対策処理のフローチャート



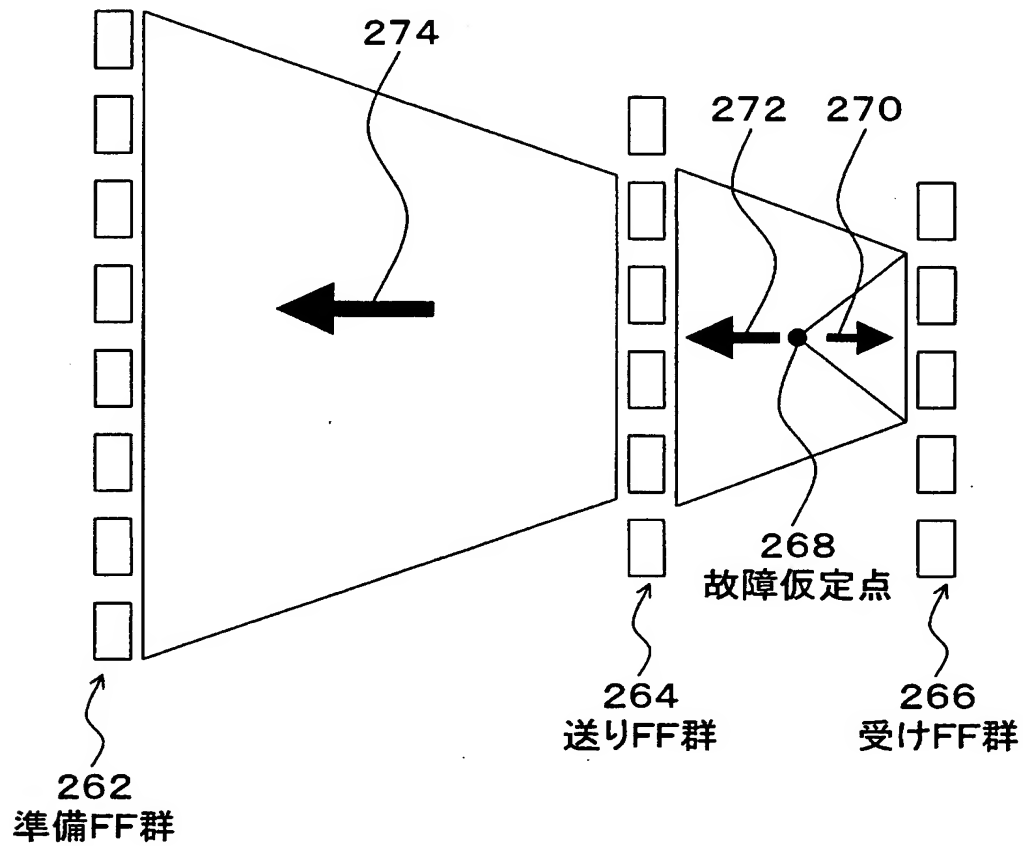
【図 31】

パスカット点での不変ステートの割り当て成功で行うハザードフリー化の説明図



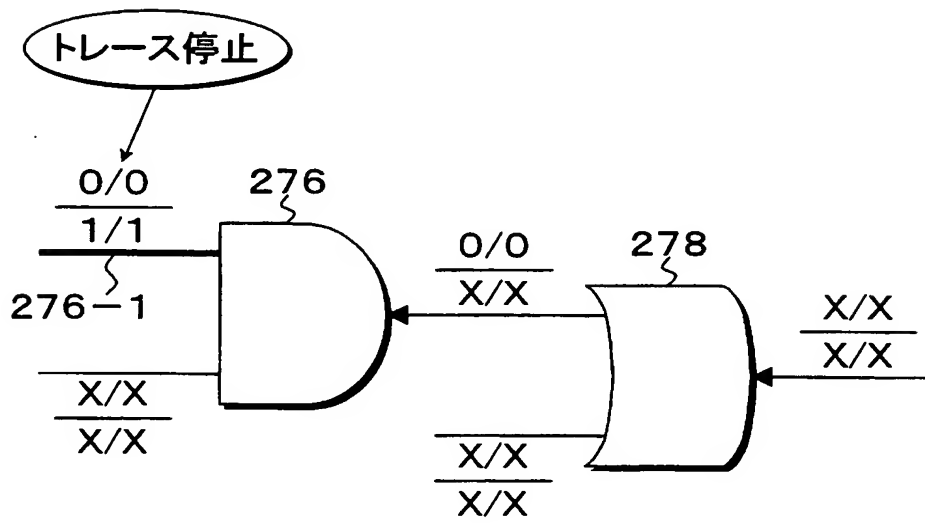
【図 3 2】

本発明におけるナローイングのトレース停止処理の説明図



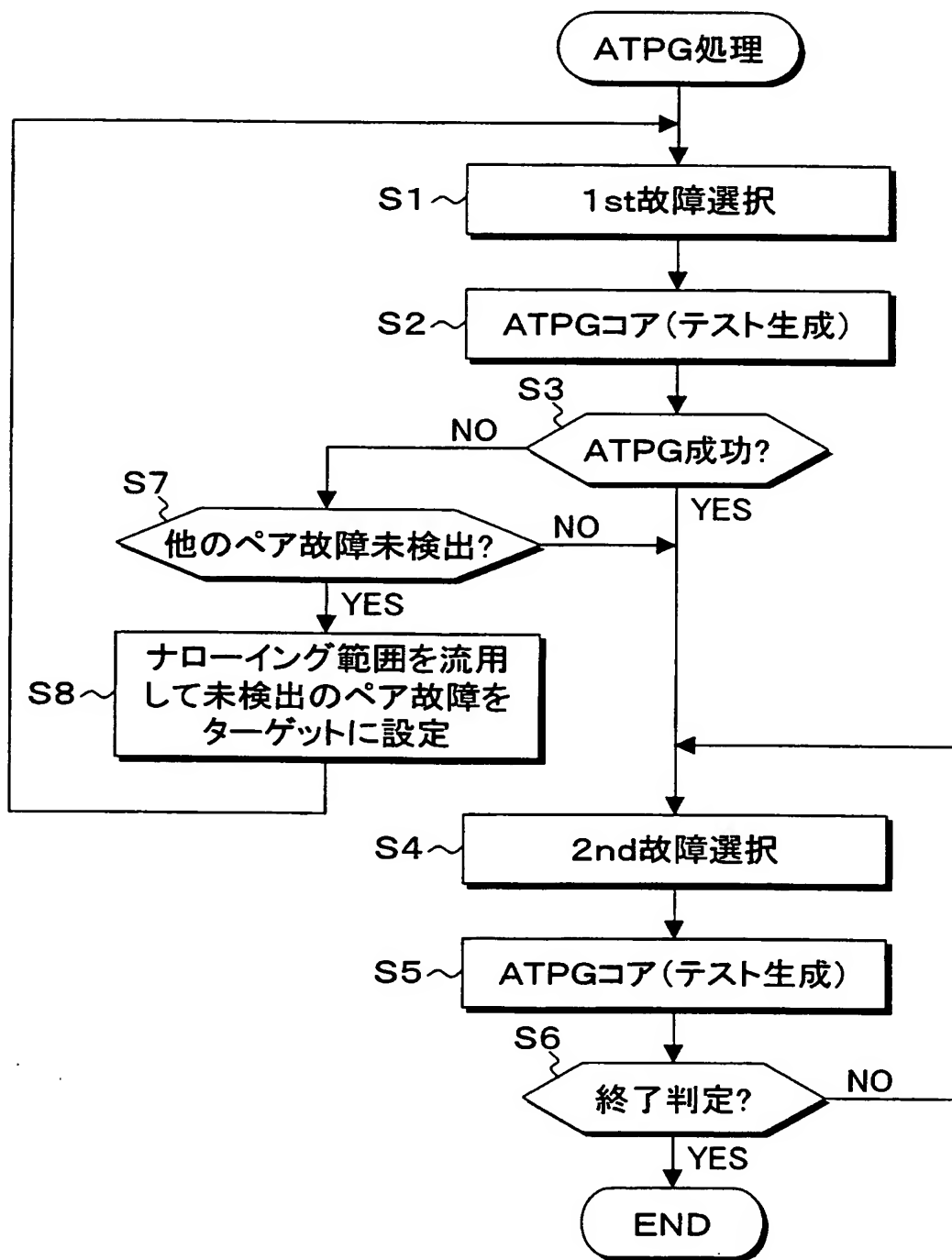
【図 33】

## ナローイングのトレース停止条件の説明図



【図 3 4】

ペア故障ターゲットにつきナローイングを流用する自動テスト  
パターン生成処理のフローチャート





**【書類名】** 要約書**【要約】**

**【課題】** 動的機能テストにおける遅延故障の検出率向上化、生成テストパターン数の縮小化及び処理時間の短縮化を図る。

**【解決手段】** A T P G 部 1 6 は、故障の伝播経路を活性化させるステートとしてドントケア X の割り当てを許容し、ネットの変化後にドントケア X から非制御値に遷移させて故障の伝播経路を活性化させる。更に、A T P G 部 1 6 は、システムクロックを送り F F に送りクロックとして供給して送り F F からネットに変化を与えて伝播させると共に、システムクロックを受け F F に受けクロックとして供給してネット変化を捉えることにより、送り F F から受け F F の間の経路に遅延故障を検出するためのステートを伝搬させ、伝搬成功でテストパターンを生成する。

**【選択図】** 図 1

特願 2 0 0 3 - 1 0 0 3 4 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社